

## Lösningar till tentamen i Elektronik för E del 2, 14 januari 2016

### 1)

a) Inspänning på första förstärkaren:  $v_1 = \frac{R_{in}}{R_{in} + R_s} v_{in}$ . Inspänning på andra förstärkaren fås sedan som  $v_2 = A_v v_1 (R_1 || R_{in}) / (R_{ut} + R_1 || R_{in})$ . Utspänningen får sedan som  $v_{ut} = A_v v_2 \frac{R_L}{R_L + R_{ut}}$ .

Detta ger totalt:

$$\frac{v_{ut}}{v_{in}} = \frac{R_{in}}{R_{in} + R_s} A_v \frac{R_1 || R_{in}}{R_{ut} + R_1 || R_{in}} A_v \frac{R_L}{R_L + R_{ut}}$$

b) Då  $R_{ut} \rightarrow 0$  och  $R_{in} \rightarrow \infty$  fås direkt att  $\frac{v_{ut}}{v_{in}} = A_v^2$ .

### 2)

Fotodioden ger negativ återkoppling, så  $v_n = v_p = 0V$ . Spänningen över fotodioden är således  $v_0$ . Vidare har vi för op:en att  $i_n = i_p = 0A$ .

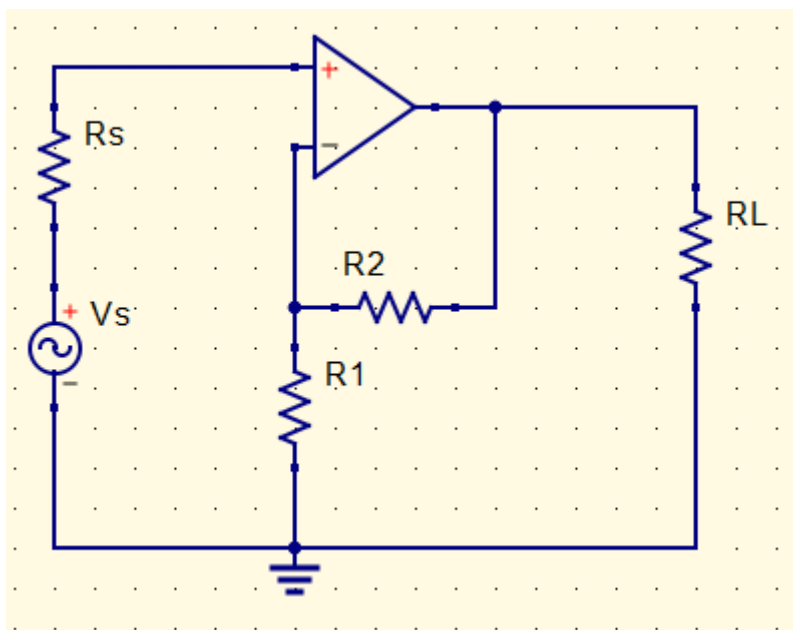
KCL på den inverterande noden ger då direkt:

$$i_s - i_d = 0 = i_s - I_0 e^{\frac{v_0}{V_T}}, \text{ dvs } \frac{i_s}{I_0} = e^{\frac{v_0}{V_T}}.$$

$$\text{Dvs } v_0 = V_T \ln\left(\frac{i_s}{I_0}\right).$$

### 3)

En V-V förstärkare med förstärkningen 10 efterfrågas. Realiseras enklast med V-V kopplingen nedan:



Den har förstärkningen  $A_v = 1 + R_2/R_1$ . Vi kan således välja  $R_2/R_1=9$ , exempelvis  $R_2=9k\Omega$  och  $R_1=1k\Omega$ . Den maximala utströmmen från OP:n blir då 5mA (genom  $R_L$ ) och 1mA genom återkopplingsnätverket. Matningsspänningarna behöver väljas till minst +/- 5V.

#### 4)

a) För att få  $I_D=1mA$  krävs att  $i_D = K(V_{GS} - V_T)^2 = 1mA$ . Då  $K=1e-3$ , fås att  $(V_{GS} - V_T) = 1$ , dvs  $V_{GS} = 2V$ . Då 1V ( $=i_D R_3$ ) faller över  $R_3$ , måste gate-noden mellan  $R_1$  och  $R_2$  således vara 3V ( $3-1=2V$ ). Notera att  $V_{GS}$  är ligger transistors source-kontakt och gate-kontakten, och att transistorn alltid är i aktivt mod för denna biaseringen!

Vi kan exempelvis välja  $R_1=1k\Omega$  och  $R_2=2k\Omega$  (från spänningsdelning).

b)  $i_D = K(3 - i_D R_3 - V_{T0})^2$  där  $3 - i_D R_3$  motsvarar  $V_{GS}$ . Division med K och kvadratrot ger

$$V_{T0} = 3 - \sqrt{\frac{i_D}{K}} - i_D R_3$$

c) Från b) fås direkt att då  $i_D=0A$  blir  $V_{T0}=3V$ .

Alternativt: då  $i_D=0A$  är spänningen över  $R_3$  0V.  $V_{GS}$  blir då 3V  $\rightarrow$  maximal tröskelspänning innan cut-off är 3V.

#### 5)

a)

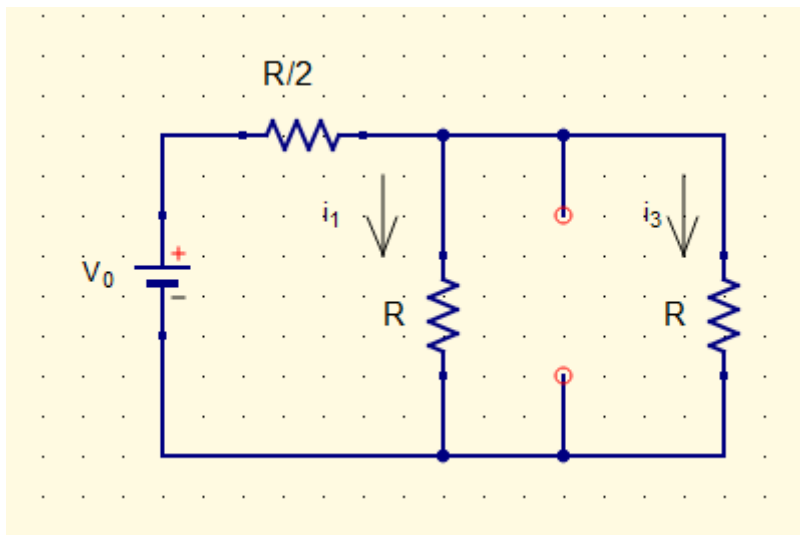
A	B	Vut
0	0	1
0	1	*
1	0	1
1	1	0

\*: Den undre nmos-transistorn är påslagen, vilket kopplar Vut till jord. Den ena pmos-transistorn på påslagen, vilket kopplar Vut till  $+V_{DD}$ . Vut blir således ej väldefinierad.

b) Läger vi till en nmos-transistor med ingången till A i serie med existerande nmos-transistorn får ni en NAND-grind.

6)

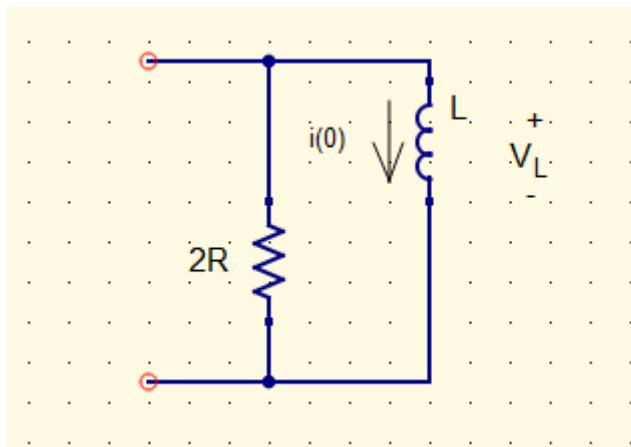
a) DC: spolarna är kortslutningar. D1 är backspänd. Leder till följande ekvivalenta krets:



Ohms lag och strömgrening ger  $i_1 = i_3 = \frac{V_0}{2R}$ .  $i_2 = 0A$ .

b)

Efter att strömbrytaren öppnas – dioden kommer att leda strömmen från spolen. De två resistanserna kombineras till  $2R$ .



KVL i loopen ger en differentialekvation för strömmen:

$$\frac{di}{dt} + \frac{2R}{L}i = 0 = i' + \frac{1}{\tau}i = 0$$

där  $\tau = \frac{L}{2R}$  och initialvillkoret är att  $i(0) = \frac{V_0}{2R}$ .

Ekvationen löses med integrerande faktor,  $i(t) = i(0)e^{-\frac{t}{\tau}}$ .

Slutgiltigt fås  $V_L = L \frac{di}{dt} = -V_0 e^{-\frac{t}{\tau}}$ .

c)  $V_L = 0V$  för  $t < 0$  och  $V_L = -V_0 e^{-\frac{t}{\tau}}$  för  $t > 0$ .

