



Lunds Universitet
LTH

Tentamen den 15 mars 2018 Datorteknik (EITF70)

Skrivtid: 14.00-19.00

Tillåtna hjälpmedel: Miniräknare.

Maximalt antal poäng: 50 poäng

För betyg 3 krävs 20 poäng

För betyg 4 krävs 30 poäng

För betyg 5 krävs 40 poäng

Alla lösa blad skall vara samlade i omslagsarket.
Inlämnade uppgifter skall vara försedda med uppgiftens nummer.
Lösningarna skrivs in i nummerordning.
Kryssa för lösta uppgifter och ange antalet inlämnade blad.

Uppgift 1.

5 poäng

Antag ett datorsystem med en processor och ett byte-adresserat minne. För programmet som är givet nedan, besvara:

- a) I ett högnivspråk har programmeraren deklarerat en variabel som en unsigned int och består av 4 bytes som är lagrade på adress 10000–10011. Om representationen av lagringen är enligt Big.endian, vilket är det hexadecimala värdet som är lagrat i variabeln?

I Big.endian kommer högsta byten först. Så talet blir: 0b0000 1111, 0x10, 0b0, 5 vilket blir i HEX: 0F 10 00 05

- b) Är det möjligt att bestämma hur många bitar instruktionsregistret innehåller?

ADDRESS	INSTRUKTION	FÖRKLARING
00000	XOR R1, R1, R1	R1←R1 XOR R1
00010	ADD R2, R1, 17	R2←R1 + 17
00100	MUL R2, R1, R2	R2←R1*R2
00110	BEZ 01010	IF ZERO BRANCH TO 01010
01000	SUB R2, R2, 1	R2←R2-1
01010	BR 01010	BRANCH TO 01010
01100	ADD R1, R1, 1	R1 ← R1 + 1
01110	MUL R1, 5, 2	R1 ← 5 MUL 2
10000	0b00001111	Binärt
10001	0x10	Hexadecimalt
10010	0b0	Binärt
10011	5	Decimalt

Ja, minnet är byteadresserat och varje instruktion tar 2 bytes så instruktionsregistret måste innehålla 2 bytes, dvs 16 bitar.

Uppgift 2.

5 poäng

En Superscalar processor har två kärnor (cores) där varje kärna har två funktionella enheter. Processorn använder out-of-order exekvering och när en tråd blivit schemalagd för en kärna så exekveras instruktioner i tråden tills den är färdig. Givet är två trådar (X och Y) där tråd X består av instruktionerna A1–A4 och tråd Y består av instruktionerna B1–B4 och konflikter och begränsningar är enligt tabellen nedan:

Tråd (Thread) X	Tråd (Thread) Y
A1 - tar 2 cykler att exekvera	B1 - inga beroenden
A2 - beror på resultat från A1	B2 - konflikt med samma funktionell enhet som B1
A3 - konflikt med samma funktionella enhet som A2	B3 - inga beroenden
A4 - beror på resultat från A2	B4 - beror på resultat från B2

Uppgift: Visa hur instruktionerna A1–A4 och B1–B4 exekveras i processorn. I svar, fyll i tabellen (rita av i svarsbladet).

Tid	Kärna (core) 1		Kärna (core) 2	
	Funktionell enhet 1	Funktionell enhet 2	Funktionell enhet 1	Funktionell enhet 2
1	A1		B1	B3
2	A1		B2	
3		A2		B4
4	A4	A3		
5				
6				

Uppgift 3.

Totalt 15 poäng.

- I en pipelined processor kan tre typer av hazards uppkomma. Vilka?
- Förklara hur de uppkommer
- Ge exempel med Assembly-kod som illustrerar respektive hazard
- Ge förslag på hur varje hazard kan hanteras/undvikas utan att använda stalling

Se föreläsningmaterial

Uppgift 4.

10 poäng

Ett datorsystem med 8-bitars adressrymd har ett direktmappat cacheminne med 16 bytes där varje block/cacherad består av fyra bytes. Om ett datorsystem startas upp och data (word) läses på följande adresser i turordning: 3, 10, 2, 1, 24, 17, 2

Uppgift: Visa vad binäraadress, tag, index, offset, hit/miss och vilken data (adressen) i varje cacherad. I svar, fyll i tabellen (rita av i svarsbladet).

Tid	Adress	Binäraadress	Tag	Index	Offset	Hit/Miss	Innehåll (data)
1	3	0000 0011	0	0	3	M	0, 1, 2, 3
2	10	0000 1010	0	2	2	M	8, 9, 10, 11
3	2	0000 0010	0	0	2	H	0, 1, 2, 3
4	1	0000 0001	0	0	1	H	0, 1, 2, 3
5	24	0001 1000	1	2	0	M	24, 25, 26, 27
6	17	0001 0001	1	0	1	M	16, 17, 18, 19
7	2	0000 0010	0	0	2	M	0, 1, 2, 3

Uppgift 5.

Totalt 15 poäng.

Antag ett datorsystem som använder virtuelltminne och cacheminne. Det virtuella minnet använder sig av en TLB och sidtabeller. Ett antal alternativ kan uppkomma, markerade som a–f i tabellen nedan. Tabellen läses enligt följande. I uppgift a gäller att det vid en minnesaccess blir det en hit i TLB, en hit i sidtabell och en miss i cache. För varje alternativ nedan (a–f) diskutera vilka som är möjliga och förklara varför/varför inte.

Uppgift	TLB	Sidtabell	Cache
a	hit	hit	miss
b	miss	hit	hit
c	miss	hit	miss
d	miss	miss	miss
e	hit	miss	miss
f	hit	miss	hit
g	miss	miss	hit

Se sidan 443 i kursboken