



## Dagens föreläsning

---

- Upplägg LP2
- Designflöde
- Teknologier för digitaldesign
- EDA-verktyg
- VHDL

## Upplägg LP2

F15 – Designmetod, teknologier och verktyg

F16 – Kombinatoriska nät

F17 – Sekvensnät

F18 – Gästföreläsare från Advenica och fortsättningskurser

F19 – Introduktion till datorsystem

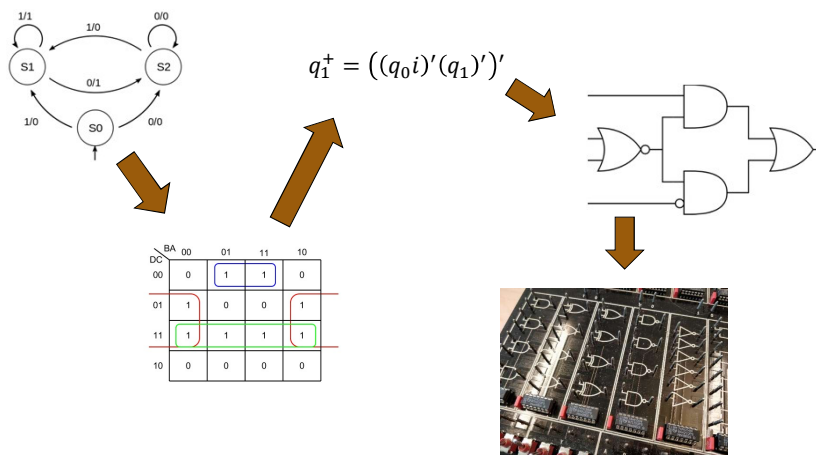
Övningar

Labb 4 – Stopp Watch, 1 labbtillfälle

Labb 5 – Micro-processor, 2 labbtillfällen

Lunds Tekniska Högskola | EITF65 digitalteknik | Föreläsning 15 |

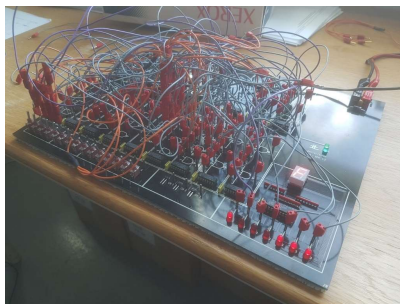
## Konstruktion av digitala kretsar



Lunds Tekniska Högskola | EITF65 digitalteknik | Föreläsning 15 |

## ... och resultatet

---



Intel core i7 ~500'000'000 grindar

LP2: Metoder för att konstruera komplexa digitala kretsar

Lunds Tekniska Högskola | EITF65 digitalteknik | Föreläsning 15 |

## Designflöde

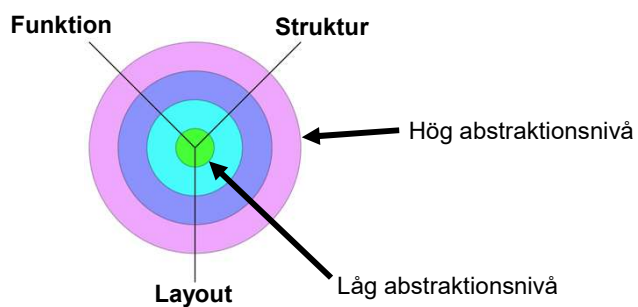
---

- Specifikation
  - Funktion
  - Fysisk utformning
- Syntes
  - Gå från hög till låg abstraktionsnivå
  - Verifikation
  - Hur ska komponenter placeras
  - Energiförsörjning.
- Testning

Lunds Tekniska Högskola | EITF65 digitalteknik | Föreläsning 15 |

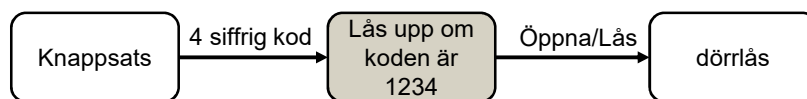
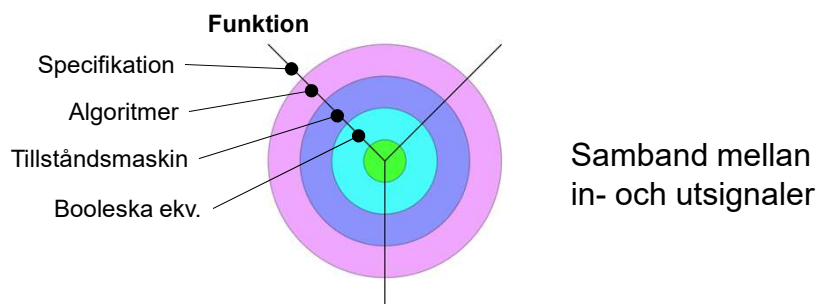
## Designflöde

Specifikation av vad kretsen ska utföra  
Komponenter som uppfyller funktionen  
Tillverkning av kretsen



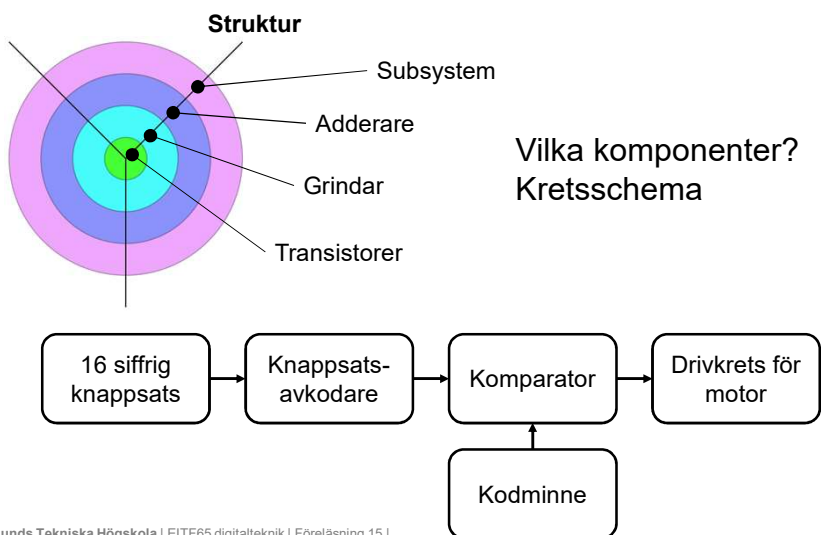
Lunds Tekniska Högskola | EITF65 digitalteknik | Föreläsning 15 |

## Funktionsbeskrivning



Lunds Tekniska Högskola | EITF65 digitalteknik | Föreläsning 15 |

## Strukturbeskrivning



## Fysiskbeskrivning

**Layout**

- Transistordesign
- Grinddesign
- IC-design
- Kretskortdesign
- Produkt

Hur ska komponenter placeras?  
Hur ser den färdiga produkten ut?

CMOS Voltage vs. Speed

Typical Propagation Delay,  $t_{p,d}$  (ns)

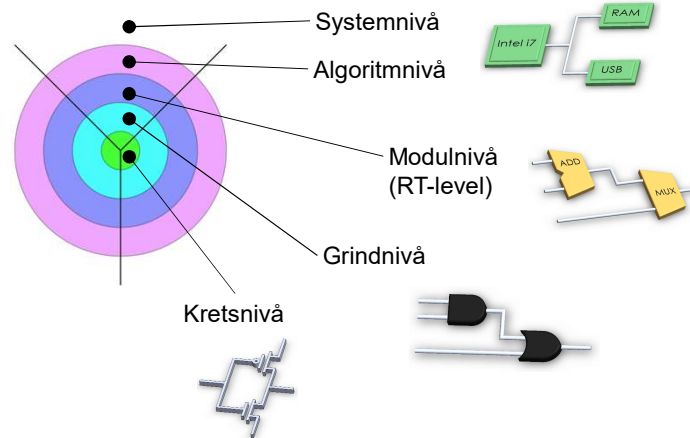
CMOS Voltage,  $V_{CC}$  (V)

Legend: HC, AHC, AC, LVA, LVC, ALVC, AVC, AUC

<http://www.ti.com/logic-circuit/overview.html>

Lunds Tekniska Högskola |

## Abstraktion



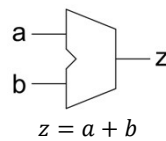
Lunds Tekniska Högskola | EITF65 digitalteknik | Föreläsning 15 |

## Konstruktion på modul-nivå

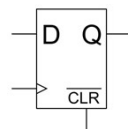
modulo-8 räknare

$r_1$	$r_2$	Beteende
0	0	Nollställ
0	1	+2
1	0	+3
1	1	+1

4-bitars Adderare

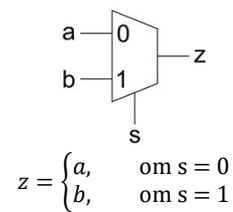


4-bitars Register



Nollställs om CLR=0

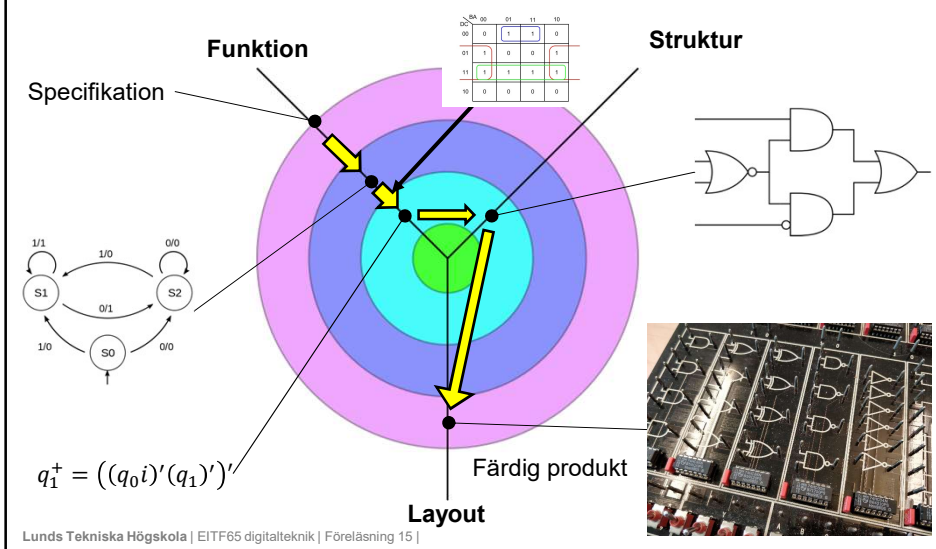
4-bitars Multiplexer



För- och nackdelar med konstruktion på grind-nivå?

Lunds Tekniska Högskola | EITF65 digitalteknik | Föreläsning 15 |

## Typiskt designflöde



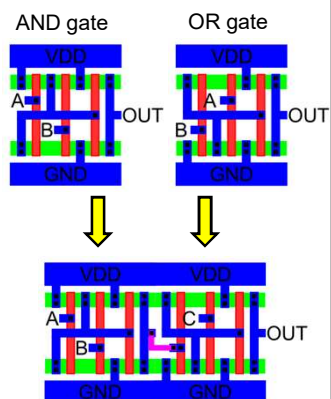
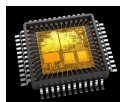
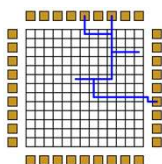
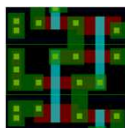
## Teknologier för digitaldesign

- Diskreta kretsar
- Application Specific IC (ASIC)
- Konfigurerbar logik
- Digital signal processor (DSP)
- Processor

## Application-Specific-IC ASIC

Funktionen bestäms vid tillverkning

- Full-custom ASIC
- Standard-cell ASIC
- Gate array ASIC



Lunds Tekniska Högskola | EITF65 digitalteknik | Föreläsning 15 |

## Konfigurerbara kretsar

Funktionen bestäms genom konfigurering

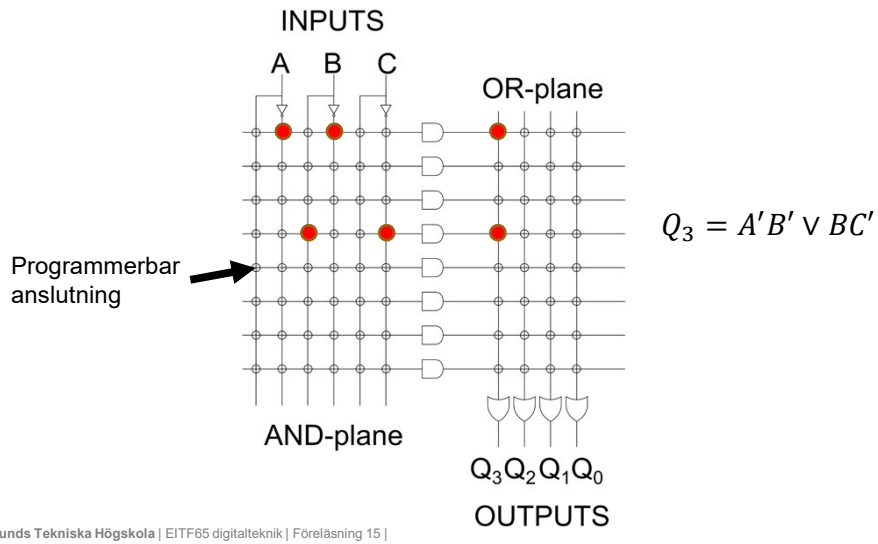
- Programmable Logic Device, PLD
- Complex Programmable Logic Device, CPLD
- Field Programmable Gate Array, FPGA



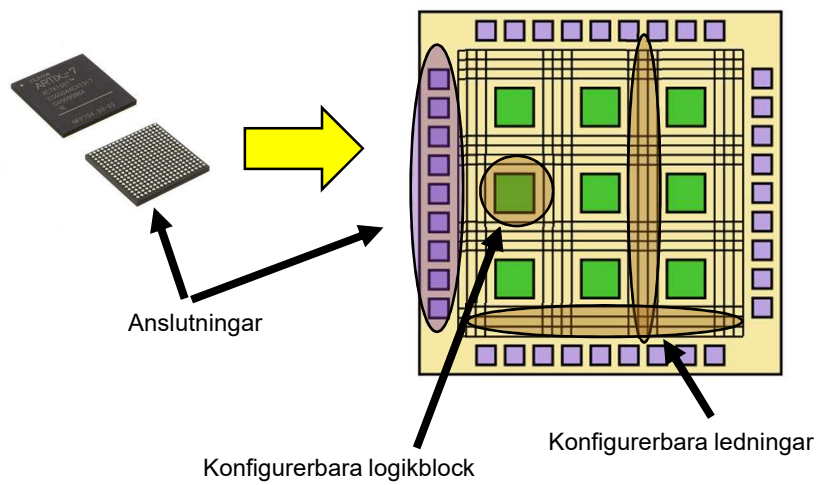
Lunds Tekniska Högskola | EITF65 digitalteknik | Föreläsning 15 |



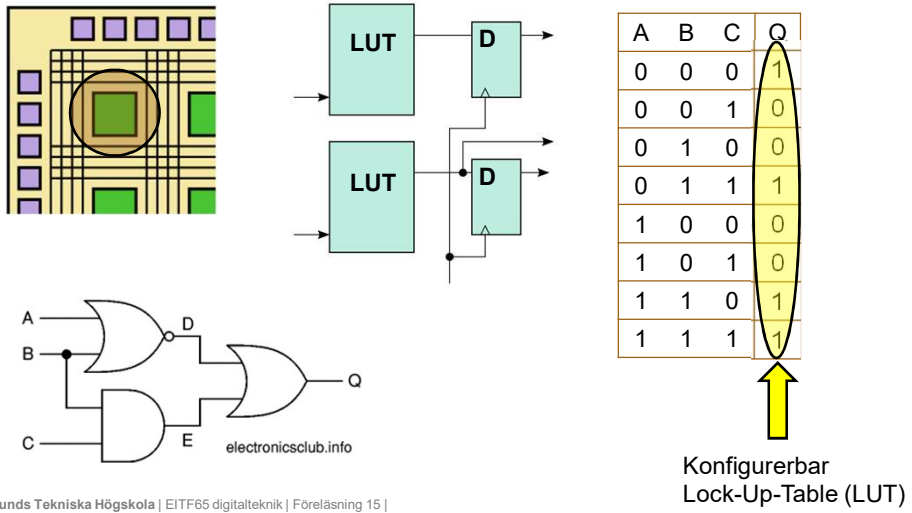
## Programmable-Logic Device (PLD)



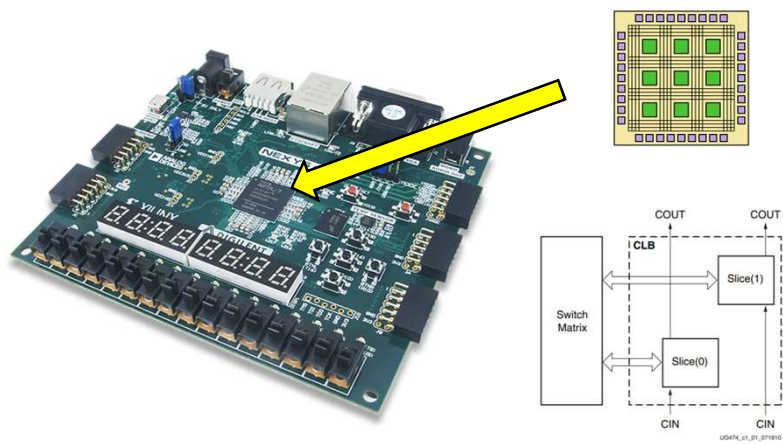
## Field Programmable Gate Array



## FPGA - Logikblock



## Nexys 4 - FPGA development board



## Artix7 slice

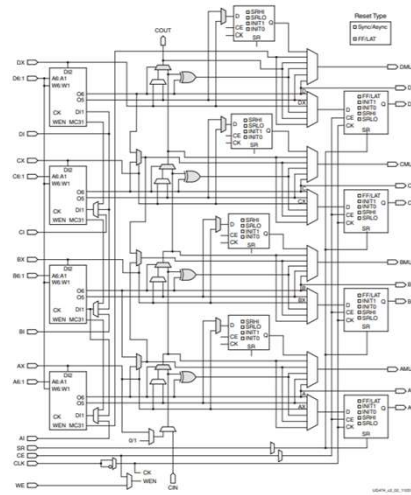


Figure 2-3: Diagram of SLICEM

Lunds Tekniska Högskola | EITF65 digitalteknik | Föreläsning 15 |

## Artix7



### Artix-7 FPGAs

Transceiver Optimization at the Lowest Cost and Highest DSP Bandwidth  
(1.0V, 0.95V, 0.9V)

	Part Number	XC7A12T	XC7A15T	XC7A25T	XC7A35T	XC7A50T	XC7A75T	XC7A100T	XC7A200T
Logic Resources	Logic Cells	12,800	16,640	23,360	33,280	52,160	75,520	101,440	215,360
	Slices	2,000	2,600	3,650	5,200	8,150	11,800	15,850	33,650
	CLB Flip-Flops	16,000	20,800	29,200	41,600	65,200	94,400	126,800	269,200

~800'000 Lejonburar

XC7A100T

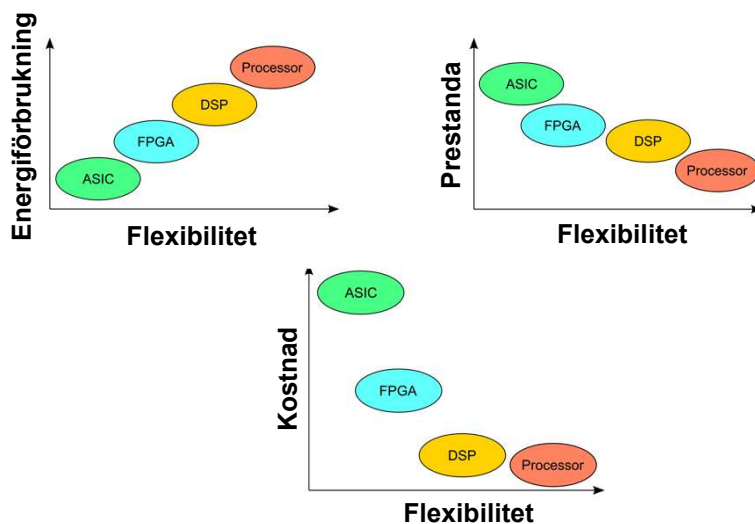
101,440

15,850

126,800

Lunds Tekniska Högskola | EITF65 digitalteknik | Föreläsning 15 |

## Jämförelse av teknologier



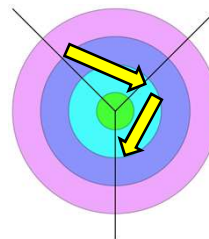
## Electronic-Design-Automation (EDA)

EDA verktyg kan utföra vissa designsteg

- Syntes
- Fysiskdesign

Algoritmer för att optimera designen

Kan **INTE** omvandla en dålig design till en bra



## Vivado

The screenshot shows the Vivado IDE interface. On the left, a box labeled 'Spec' has a yellow arrow pointing to the 'Project Manager' window. In the center, a box labeled 'Källfiler' (Source Files) has a yellow arrow pointing to the 'Sources' window. The 'Sources' window displays a project hierarchy including Design Sources, Constraints, and Simulation Sources. At the bottom left, there is an image of a PCB. At the bottom, a 'Design Runs' table is visible:

Name	Constraints	Status	WNS
synth_1	constrs_1	Synthesis Out-of-date	
impl_1	constrs_1	Implementation Out-of-date	5.251

## Simulering/verifiering i Vivado

The diagram illustrates the simulation process. A 'Testbench' box on the left contains the text: 'A='1'', 'B='0'', 'Wait 10ms;', 'A='0''. A yellow arrow labeled 'Insignaler' points from the Testbench to a 'Design' box. From the Design box, two yellow arrows point downwards: 'Interna signaler' (Internal signals) and 'Utsignaler' (Output signals).

Below the diagram is a screenshot of the 'Behavioral Simulation' window. It shows a timing diagram for 'decoder.vhd'. The diagram has a time axis from 0 ns to 500.000 ns. Two signals are shown: 'SW[3:0]' and 'C[2:0]'. The 'SW[3:0]' signal has a value of 5 from 0 ns to 200 ns, then drops to 3. The 'C[2:0]' signal has a value of 3 from 0 ns to 200 ns, then drops to 2.

## Hardware-Descriptive-Language (HDL)

---

Används för att beskriva kretsar

- In- och ut signaler
- Parallella operationer
- Anslutningar mellan block
- Beskriva beteende och struktur hos en krets
  
- Verilog
- SystemVerilog
- VHDL ←
- SystemC
- ....

Lunds Tekniska Högskola | EITF65 digitalteknik | Föreläsning 15 |

## VHDL

### Very high speed integrated circuit HDL

---

Utvecklades av US Department of Defence under 1980-talet för att standardisera dokumentation av hårdvara

Senare utvecklades verktyg för att simulera och syntes

Endast en delmängd av VHDL kan användas för syntes

Lunds Tekniska Högskola | EITF65 digitalteknik | Föreläsning 15 |

## Vanlig programmering vs. HDL:s

Källkod

```
public static void main(String [] args)
{
    int a = 0;
    a = a + 10;
}
```

Källkod

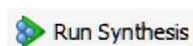
```
34 register_update:process(N_RST, CLK)
35 begin
36     if N_RST = '0' then
37         counter <= 0;
38         current_state <= LIGHT_OFF;
39     end if
40 end process;
```

Här slutar likheterna!

Kompilator



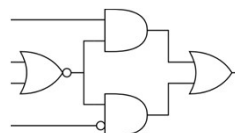
Syntes



Maskinkod

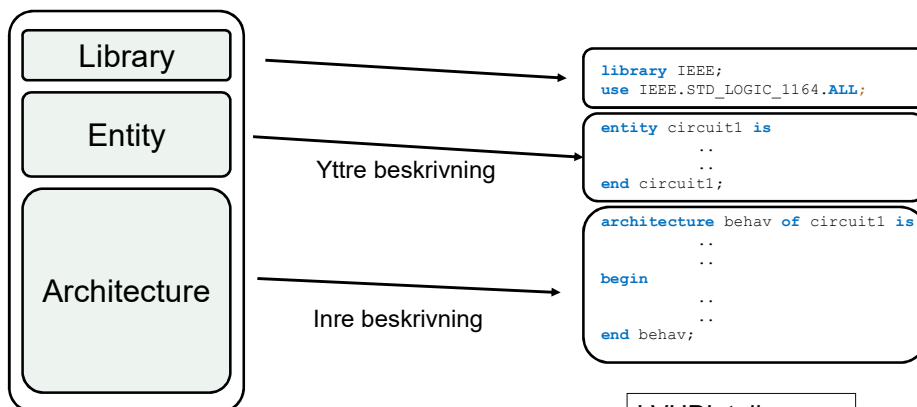
```
011010011101011
000110100000000
110010011110010
100110101110100
010011110100001
100000100111001
```

Hårdvara



Lunds Tekniska Högskola | EITF65 digitalteknik | Föreläsning 15 |

## VHDL – Struktur av källfil



I VHDL tolkas **end**, **End**, **END** som samma ord

Lunds Tekniska Högskola | EITF65 digitalteknik | Föreläsning 15 |

## VHDL - Entity

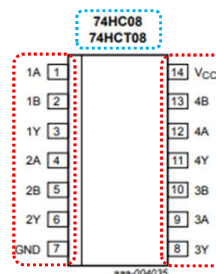
Beskriver utseende sett utifrån

- Kretsens namn
- Insignaler
- Utsignaler

Nexperia

74HC08; 74HCT08

Quad 2-input AND gate



### 5.2 Pin description

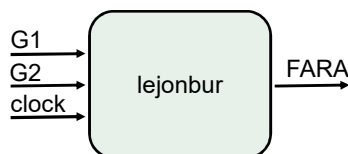
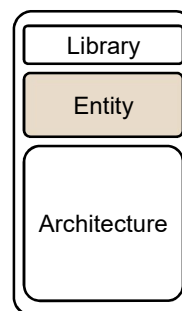
Table 2: Pin description

Symbol	Pin	Description
1A to 4A	1, 4, 9, 12	data input
1B to 4B	2, 5, 10, 13	data input
1Y to 4Y	3, 6, 8, 11	data output
GND	7	ground (0 V)
Vcc	14	supply voltage

Lunds Tekniska Högskola | EITF65 digitalteknik | Föreläsning 15 |

## VHDL - Entity

```
entity lejonbur is
  port (
    G1      : in  STD_LOGIC;
    G2      : in  STD_LOGIC;
    FARA    : out STD_LOGIC;
    clock   : in  STD_LOGIC
  );
end lejonbur;
```



God praxis:  
Källfilen har samma namn  
som kretsen

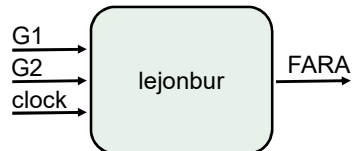
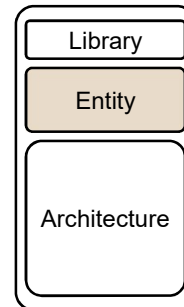
Kretsnamn: lejonbur  
Filnamn: lejonbur.vhd

Lunds Tekniska Högskola | EITF65 digitalteknik | Föreläsning 15 |



## VHDL - Entity

```
entity lejonbur is
  port (
    G1 : in STD_LOGIC;
    G2 : in STD_LOGIC;
    FARA : out STD_LOGIC;
    clock : in STD_LOGIC
  );
end lejonbur;
```



God praxis:  
Använd meningsfulla namn

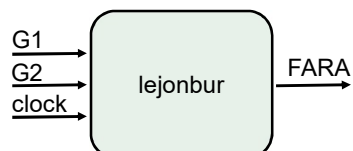
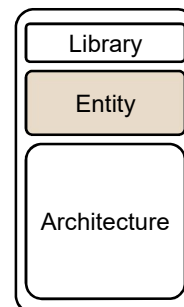
clk\_100MHz, clk\_50MHz

~~clk1, clk2~~

Lunds Tekniska Högskola | EITF65 digitalteknik | Föreläsning 15 |

## VHDL - Entity

```
entity lejonbur is
  port (
    G1 : in STD_LOGIC;
    G2 : in STD_LOGIC;
    FARA : out STD_LOGIC;
    clock : in STD_LOGIC
  );
end lejonbur;
```



Insignaler är read-only

Utsignaler är write-only

Lunds Tekniska Högskola | EITF65 digitalteknik | Föreläsning 15 |

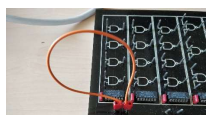
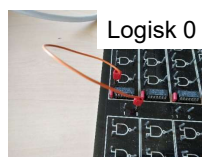
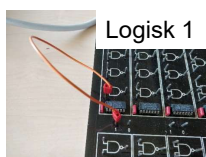
## VHDL – Några signaltyper

- BIT : kan anta värdena 0 och 1
- BIT\_VECTOR : vektor av BIT
- STD\_LOGIC : kan anta 0, 1 och sju andra värden
- STD\_LOGIC\_VECTOR : vektor av STD\_LOGIC
- UNSIGNED
- SIGNED
- INTEGER

Lunds Tekniska Högskola | EITF65 digitalteknik | Föreläsning 15 |

## Signalvärden

1 och 0 räcker inte för att beskriva verkliga ledningar



STD\_LOGIC modellerar alla dessa fall

Lunds Tekniska Högskola | EITF65 digitalteknik | Föreläsning 15 |

## STD\_LOGIC

- Modellerar verkliga signaler/ledningar
- 9 olika värden, de 6 vanligaste är

1 : logisk '1'

0 : logisk '0'

X : okänt

U : inget värde

- : dont-care

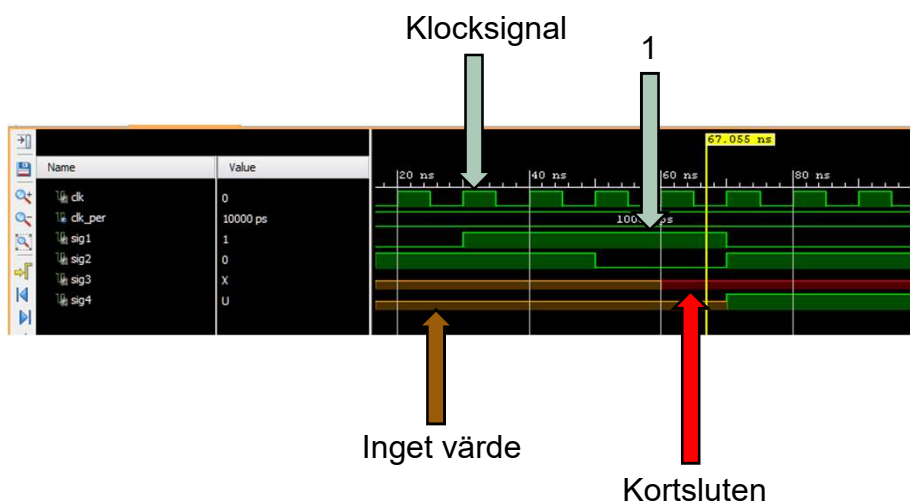
Z : hög impedans



```
library IEEE;
use IEEE.STD_LOGIC_1164.ALL;
```

Lunds Tekniska Högskola | EITF65 digitalteknik | Föreläsning 15 |

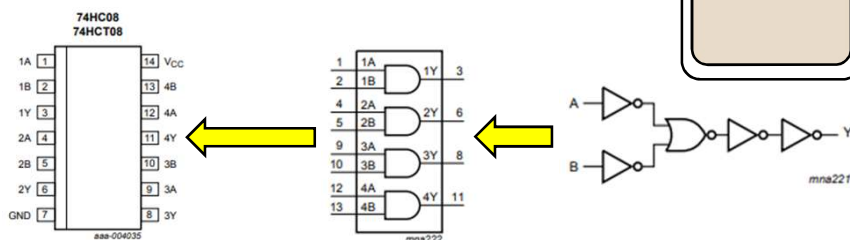
## Signalvärden vid simulering



## VHDL - Architecture

Beskriver hur kretsen fungerar

- Kretsens beteende, interna struktur
- Kan beskrivas på olika abstraktionsnivåer



Lunds Tekniska Högskola | EITF65 digitalteknik | Föreläsning 15 |

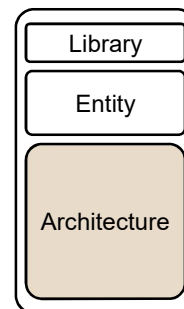
## VHDL - Architecture

Arkitekturens namn      Vilken krets (entity) den tillhör

```

architecture behav of lejonbur is
begin
    FARA <= G1 and G2;
end behav;

```



Lunds Tekniska Högskola | EITF65 digitalteknik | Föreläsning 15 |

## VHDL - exempel

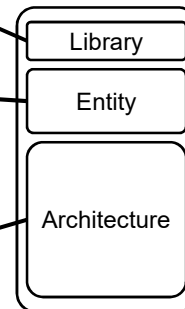
```

library IEEE;
use IEEE.STD_LOGIC_1164.ALL;

entity lejonbur is
  port (
    G1      : in  STD_LOGIC;
    G2      : in  STD_LOGIC;
    FARA    : out STD_LOGIC;
    clock   : in  STD_LOGIC
  );
end lejonbur;

architecture behav of lejonbur is
begin
  FARA <= G1 and G2;
end behav;

```



Lunds Tekniska Högskola | EITF65 digitalteknik | Föreläsning 15 |

## Sammanfattning

- Verktyg som kan utföra vissa steg i designflödet
- Design på högre abstraktionsnivå
- Konstruktion med olika teknologier
  - FPGA
- Hårdvarubeskrivandespråk, VHDL
  - signaltyper
  - entity
  - architecture
- Veckans övning
  - Bekanta er med Vivado

Lunds Tekniska Högskola | EITF65 digitalteknik | Föreläsning 15 |



**LUNDS UNIVERSITET**  
Lunds Tekniska Högskola