



LUNDS
UNIVERSITET

Elektro- och informationsteknik

Tentamen i Digitalteknik, EITF65

1 november 2019, kl. 08-13

- ▶ Skriv anonymkod och identifierare, eller personnummer, på alla papper.
- ▶ Börja en ny uppgift på ett nytt papper. Använd bara en sida av pappret.
- ▶ Lösningarna skall tydligt visa tillvägagångssättet.
- ▶ Minimering av funktioner, var och en för sig, ses som en naturlig del av lösningen. Minimalt antal tillstånd i tillståndsgrafer förväntas. Metoder för bra tillståndskodning behöver ej användas om det inte efterfrågas i uppgiften.
- ▶ Om det efterfrågas skall kopplingar för realiseringar ritas.
- ▶ Hjälpmedel: kursboken, föreläsningbilder och föreläsninganteckningar (allt under fliken "föreläsningar"), samt miniräknare.

Lycka till!

Uppgift 1

Betrakta följande funktion i fyra variabler, som ska realiseras i disjunktiv form.

$$f^{-1}(1) = \{0, 2, 9, 10, 13, 15\},$$

$$f^{-1}(-) = \{5, 7, 8, 11\}.$$

- (a) Ange samtliga primimplikatorer samt vilka av dem som är väsentliga.
- (b) Realisera funktionen i minimal form. Ange dess booleska uttryck.
- (c) Realisera funktionen du fick i b) med grindar av typen AND och XOR. Ange det booleska uttrycket.

(3+3+4=10p)

Uppgift 2

Ett linjärt återkopplat skiftregister med kopplingspolynom $C(D) = 1 \oplus D \oplus D^3 \oplus D^4$ genererar sekvensen s_1 . De första symbolerna i sekvensen s_1 är $s_1 = 0111 \dots$. Ett annat linjärt återkopplat skiftregister har samma kopplingspolynom men genererar istället sekvensen $s_2 = 0001 \dots$.

- (a) Skriv upp ett uttryck för D -transformen av sekvensen s_1 .
- (b) Skriv upp ett uttryck för D -transformen av sekvensen $s_1 \oplus s_2$.
- (c) Bestäm kopplingspolynomet $C'(D)$ för kortast lineärt återkopplade skiftregister som genererar den periodiska sekvensen $s_1 \oplus s_2$.
- (d) Bestäm perioden för polynomet $C(D)$.
- (e) Beskriv relationen mellan perioden för polynomet $C(D)$ och perioden för en sekvens s som genereras av ett lineärt återkopplat skiftregister med kopplingspolynom $C(D)$.

(1+2+3+2+2=10p)

Uppgift 3

Du ansvarar för konstruktion av ett digitalt system. Insignalen vid varje tidpunkt t består av två binära värden $x_1(t), x_0(t)$ som tillsammans representerar ett tal i $X(t) \in \mathbb{Z}_4$, givet som $X(t) = 2 \cdot x_1(t) + x_0(t)$. När ekvationen $X(t) \cdot X(t-1) \cdot X(t-2) = 0$ (ekvation över $\mathbb{Z}_4$) är sann så ska utsignalen $y(t) = 1$, annars skall den vara noll. Tänk på att $2 \cdot 2 = 0$ i $\mathbb{Z}_4$! Systemet startas vid $t = 0$ och för $t < 0$ så gäller $X(t) = 0$.

Exempelvis så ger insignalen

11, 01, 11, 10, 10, 01, 11, 01, 00, 10, 01, ...

utsignal

1, 1, 0, 0, 1, 1, 0, 0, 1, 1, 1, ...

Insignalen är då given som $x_1(t), x_0(t)$ för $t = 0, 1, 2, \dots$

Eftersom början av sekvensen 11, 01, 11 ger $X(0) = 3, X(1) = 1, X(2) = 3$ så gäller $X(0) \cdot X(1) \cdot X(2) = 1 \neq 0$ och då blir $y(2) = 0$ vid tidsenhet 2, etc.

- (a) Ta fram en tillståndsgraf för problemet. Ange den i tabellform.
- (b) Minimera grafen.
- (c) Realisera ett sekvensnät med minimalt antal D-vippor som implementerar det givna systemet. Funktionerna i sekvensnätet realiseras genom ett Read Only Memory (ROM) [kursboken 5.4.4] som har 5 adressgångar och innehåller 4-bitars ord. Därför behöver inga funktioner minimeras. Rita hela sekvensnätet där ROM:et är en komponent! Ange i tabellform innehållet i minnet (32 stycken 4-bitars ord).

(3+3+4=10p)

Uppgift 4

Du ska göra en digital konstruktion som ska styra ett löpande band. Matpaketet kommer på ett rullband och på ett ställe efter rullbandet står en anställd och lägger matpaketen i en låda. I slutet av rullbandet finns en givare som vi betecknar x . När ett matpaket passerar framför givaren är $x = 1$ (under många klockcykler) annars är $x = 0$. Rullbandet står stilla om dess styrsignal z är noll och går framåt om $z = 1$.

I en låda får det plats med 14 matpaket. Din konstruktion ska låta rullbandet gå tills dess att 14 matpaket passerat givaren. När detta har inträffat ska rullbandet stanna så att den anställda kan lyfta undan den packade lådan och ersätta den med en ny tom låda. Konstruktionen ska även ha en insignal y som kommer från en knapp som den anställda kan trycka på för att sätta igång rullbandet igen. Du kan anta att $y = 1$ under exakt en klockpuls när knappen trycks in, annars $y = 0$. När rullbandet har startats ska konstruktionen låta 14 nya matpaket passera givaren och sedan stanna, etc.

Konstruktionen ska använda sig av en räknare, 74FCT163, enligt datablad längst bak i tentan, samt valfria grindar och D-vippor. Rita upp konstruktionen i detalj!

(10p)

Uppgift 5

Att kunna räkna på vanligt vis med mängder som innehåller ett ändligt antal element är viktigt i många digitala system. I krypteringssystemet RSA räknar man ut en kryptotext C genom att räkna ut $C = M^e$ i $\mathbb{Z}_n$, där M är klartexten, e ett fixt heltal och talet n är en produkt av två stora primtal.

Låt oss betrakta ringen $\mathbb{Z}_{247}$, med addition och multiplikation modulo 247.

- (a) Hur många av elementen i $\{1, 2, \dots, 246\}$ är inverterbara i $\mathbb{Z}_{247}$?
- (b) Lös ekvationen $7x = 1$ i $\mathbb{Z}_{247}$.
- (c) För att utföra mer komplicerade operationer i $\mathbb{Z}_{247}$ behövs en kombinatorisk krets som vid insignal x som ett 8-bitars tal ger utsignal

$$2 \cdot x \bmod 247.$$

Konstruera en sådan kombinatorisk krets. Insignalen skall vara en 8-bitars vektor ($x \in \{0, 1, \dots, 246\}$ i binär representation) och utsignalen ska vara en 8-bitars vektor ($2x \bmod 247$). Utsignalen för $x \notin \{0, 1, \dots, 246\}$ kan vara godtycklig. Rita en tydlig bild över kretsen och eventuella komponenter!

(2+3+5=10p)

Lycka till!



FAST CMOS SYNCHRONOUS PRESETTABLE BINARY COUNTER

IDT54/74FCT163T/AT/CT

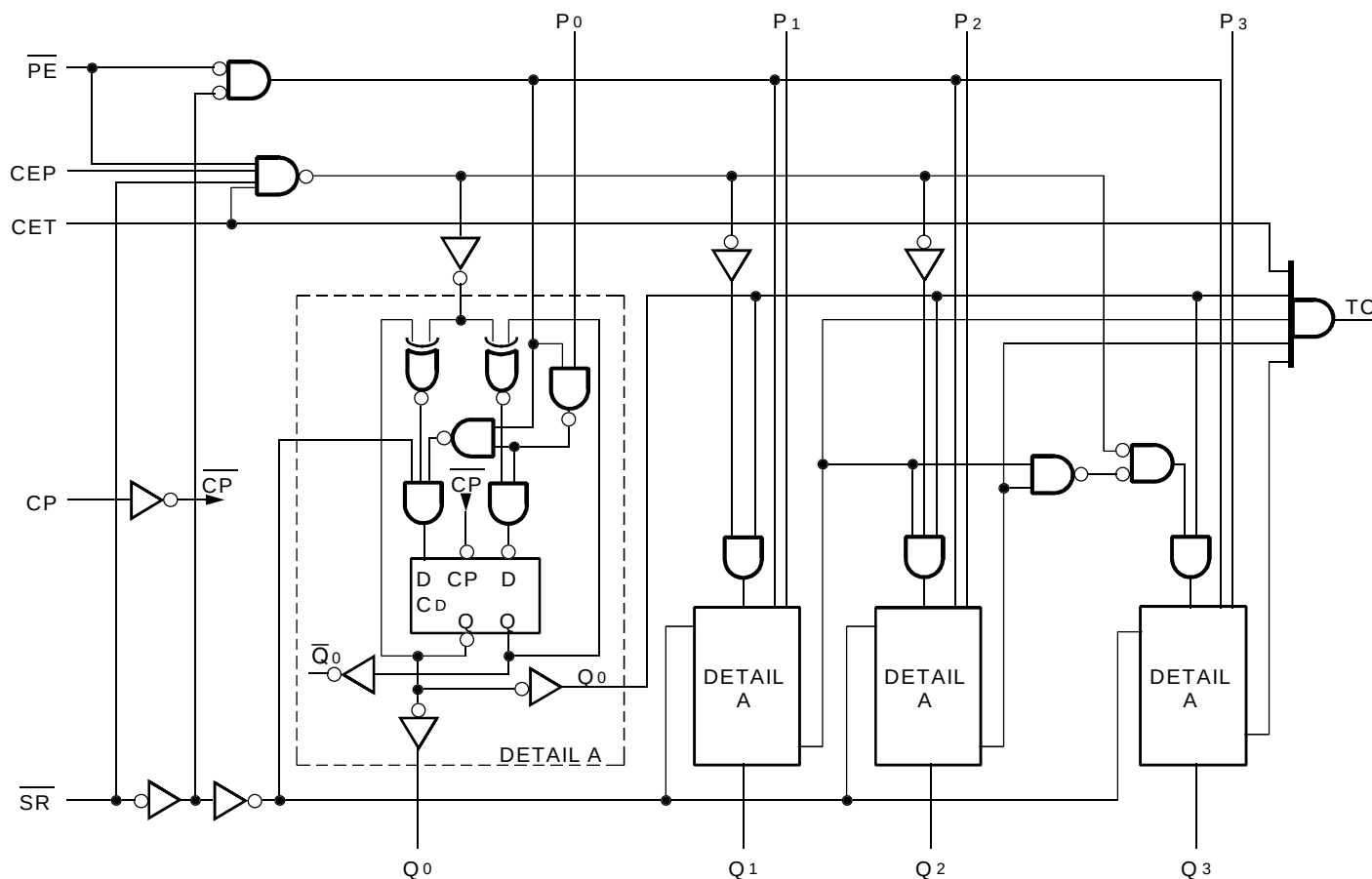
FEATURES:

- Std., A and C speed grades
- Low input and output $\leq 1\mu\text{A}$ (max.)
- CMOS power levels
- True TTL input and output compatibility
 - – $V_{OH} = 3.3\text{V}$ (typ.)
 - – $V_{OL} = 0.3\text{V}$ (typ.)
- High drive outputs (-15mA IOH, 48mA IOL)
- Meets or exceeds JEDEC standard 18 specifications
- Military product compliant to MIL-STD-883, Class B and DESC listed (dual marked)
- Power off disable outputs permit "live insertion"
- Available in the following packages:
 - Industrial: SOIC, QSOP
 - Military: CERDIP, LCC, CERPACK

DESCRIPTION:

The FCT163T is a high-speed synchronous modulo-16 binary counter built using an advanced dual metal CMOS technology. They are synchronously presettable for application in programmable dividers and have two types of count enable inputs plus a terminal count output for versatility in forming synchronous multi-stage counters. The FCT163T has Synchronous Reset inputs that override counting and parallel loading and allow the outputs to be simultaneously reset on the rising edge of the clock.

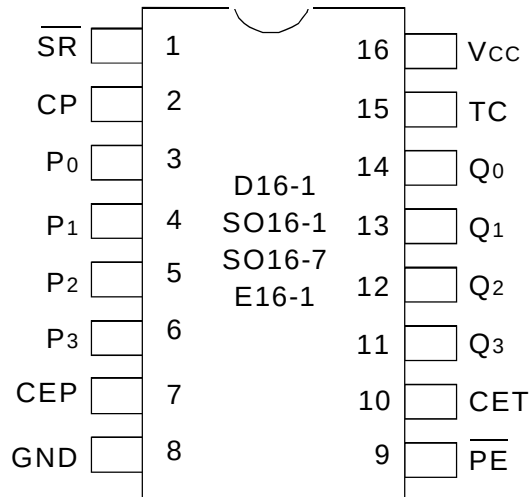
FUNCTIONAL BLOCK DIAGRAM



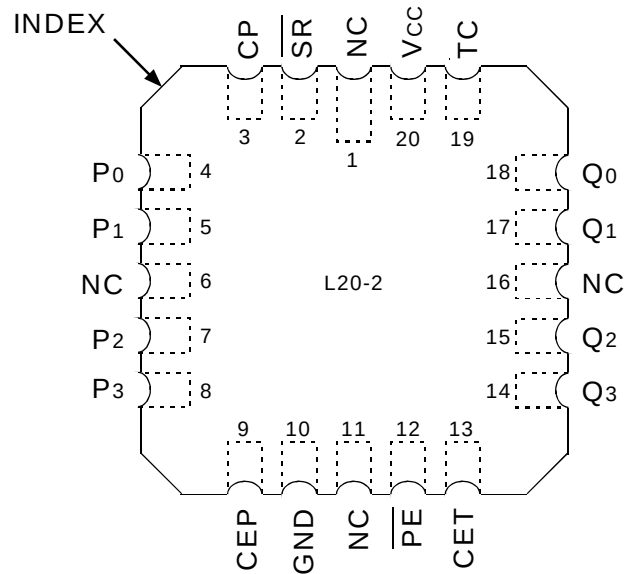
MILITARY AND INDUSTRIAL TEMPERATURE RANGES

AUGUST 2000

PIN CONFIGURATION



CERDIP/ SOIC/ QSOP/ CERPACK
TOP VIEW



LCC
TOP VIEW

ABSOLUTE MAXIMUM RATINGS⁽¹⁾

Symbol	Rating	Max.	Unit
V _{TERM} ⁽²⁾	Terminal Voltage with Respect to GND	-0.5 to +7	V
V _{TERM} ⁽³⁾	Terminal Voltage with Respect to GND	-0.5 to V _{CC} +0.5	V
T _{STG}	Storage Temperature	-65 to +150	°C
I _{OUT}	DC Output Current	-60 to +120	mA

8T-link

NOTES:

- Stresses greater than those listed under ABSOLUTE MAXIMUM RATINGS may cause permanent damage to the device. This is a stress rating only and functional operation of the device at these or any other conditions above those indicated in the operational sections of this specification is not implied. Exposure to absolute maximum rating conditions for extended periods may affect reliability. No terminal voltage may exceed V_{CC} by +0.5V unless otherwise noted.
- Inputs and V_{CC} terminals only.
- Outputs and I/O terminals only.

CAPACITANCE (T_A = +25°C, f = 1.0MHz)

Symbol	Parameter ⁽¹⁾	Conditions	Typ.	Max.	Unit
C _{IN}	Input Capacitance	V _{IN} = 0V	6	10	pF
C _{OUT}	Output Capacitance	V _{OUT} = 0V	8	12	pF

8T-link

NOTE:

- This parameter is measured at characterization but not tested.

PIN DESCRIPTION

Pin Names	Description
CEP	Count Enable Parallel Input
CET	Count Enable Trickle Input
CP	Clock Pulse Input (Active Rising Edge)
$\overline{SR}$	Synchronous Reset Input (Active LOW)
P0-3	Parallel Data Inputs
$\overline{PE}$	Parallel Enable Input (Active LOW)
Q0-3	Flip-Flop Outputs
TC	Terminal Count Output

FUNCTION TABLE⁽¹⁾

$\overline{SR}$	$\overline{PE}$	CET	CEP	Action on the Rising Clock Edge(s)
L	X	X	X	Reset (Clear)
H	L	X	X	Load (P _n → Q _n)
H	H	H	H	Count (Increment)
H	H	L	X	No Change (Hold)
H	H	X	L	No Change (Hold)

NOTE:

- H = HIGH Voltage Level
L = LOW Voltage Level
X = Don't Care