

Special instructions for home exam in

EITF65 Digitalteknik

Dept. of Electrical and
Information Technology
Lund University

10.00 on April 23, 2020, until latest 12.00 on April 24.

- ▶ Hand-out of exam: at 10.00 on April 23 the exam will be available on the course web page for download. Use your own white sheets for writing solutions. Alternatively, a copy of the exam and empty sheets of paper can be picked up in boxes outside EIT (third floor in E-building) from 10.00.
- ▶ Hand-in of exam: During 10.00-12.00 on April 24 you can hand in your exam solutions at the department (third floor in E-building). Alternatively, you can hand in by scanning your solutions and email them to the examiner on email address: thomas@eit.lth.se no later than 12.00! But you must then also send the original solutions and this first page with original signature by regular mail to the address below.¹ The exam will not be corrected until this is received.
- ▶ Exam contents: In the home exam there will be problems similar to a standard exam. The grading will require 25/35/45 points for grade 3/4/5, respectively, out of a total of 50. To get grade 5 you additionally need to be approved on an oral exam.
- ▶ Sign-up: You need to have signed up to take the exam. You are not allowed to take the exam if you are already previously approved.
- ▶ Help and assistance: You are allowed to use any written information you have access to and you are allowed to use computers and programming for computations. **You are not allowed to get assistance in any way from any other person to help you with your solutions.** This includes asking people to post information on forums, etc. It also includes assisting any other person doing the exam. To assure this, you have to formally sign such a statement.² **This first page with original signature must be handed in together with your solutions!**

Name:

Personal Identifier:

I solemnly declare that I have not used help from any other person in the process of preparing the exam solutions that I now hand in.

Signature:

Hand in this page with original signature!

¹Address: Education Office, Dept. of EIT, Box 118, 22100 Lund, Sweden

²Overstepping the rules of help and assistance may lead to suspension from the university.



LUNDS
UNIVERSITET

Elektro- och informationsteknik

Tentamen i Digitalteknik, EITF65

23 april 2020

- ▶ Skriv anonymkod och identifierare, eller personnummer, på alla papper.
- ▶ Börja en ny uppgift på ett nytt papper. Använd bara en sida av pappret.
- ▶ Lösningarna skall tydligt visa tillvägagångssättet.
- ▶ Minimering av funktioner, var och en för sig, ses som en naturlig del av lösningen. Minimalt antal tillstånd i tillståndsgrafer förväntas. Metoder för bra tillståndskodning behöver ej användas om det inte efterfrågas i uppgiften.
- ▶ Om det efterfrågas skall kopplingar för realiseringar ritas.
- ▶ Hjälpmedel: se instruktioner för hemtenta. Frågor på tentauppgifterna besvaras via email (thomas@eit.lth.se).

Lycka till!

Uppgift 1

Realisera funktionen nedan med ett minimalt nät i disjunktiv form. I lösningen ska samtliga primimplikatorer anges, samt vilka av dem som är väsentliga.

$$f^{-1}(1) = \{0, 3, 5, 7, 10, 15, 19, 21, 24, 28, 31\}$$

$$f^{-1}(-) = \{1, 2, 8, 11, 17, 23, 26, 30\}$$

(10p)

Uppgift 2

Ett sekvensnät har två insignaler s_1 och s_2 samt en utsignal y . Utsignalen $y(t)$ är 1 om och endast om minst tre av de fyra senaste bitarna i s_1 (tid $t, t-1, t-2, t-3$) är 1 alternativt om $s_2(t) = 1$. Anta att $s_1(t) = 0$ om $t < 0$. T.ex. ger insignalerna nedan utsignalsekvensen $y(t)$ enligt,

$$s_1(t) = 11100111000101\dots$$

$$s_2(t) = 00000010001100\dots$$

$$y(t) = 00110011101100\dots$$

Konstruera sekvensnätet med ett minimalt antal D-element. Realisera nätet och rita!

(10p)

Uppgift 3

Betrakta den oändliga periodiska sekvensen

$$s = \underline{00011}000110001100011\dots$$

- Bestäm kopplingspolynomet för ett linjärt återkopplat skiftregister av kortast längd som genererar den periodiska sekvensen s .
- Bestäm vilka av kopplingspolynomen $D^5 + 1$, $D^6 + 1$, $D^7 + 1$, $D^8 + 1$, $D^9 + 1$, $D^{10} + 1$ som också genererar den periodiska sekvensen s .

(5+5=10p)

Uppgift 4

Du ansvarar för en digital konstruktion som ska hålla reda på hur många besökare som har släppts in i en föreläsningssal. Det finns en insignal x som normalt är noll. När en besökare släpps igenom passagen till salen så blir insignalen x hög ($x = 1$) under exakt en klockcykel. Därefter blir den noll igen. På samma sätt finns en annan passage för att släppa ut besökare och när en person lämnar idrottshallen så blir insignalen y hög ($y = 1$) under exakt en klockcykel.

Ett evenemang får ta emot maximalt 49 personer. När det befinner sig 49 personer i salen ska utsignalen z bli hög. När z blir hög stänger den tillfälligt dörren så att ingen ytterligare person kan komma in. Det ska även finnas en insignal RESET som nollställer konstruktionen så att vi börjar räkna från noll.

- (a) Signalen x skapas från en givare G_x som normalt är noll, men när dess ljusstråle bryts av en person som passerar så genererar givaren logisk etta under många klockcykler, för att sedan bli noll igen. Konstruera en modul som från givaren ger signalen x enligt ovan, alltså att en passage där givaren ändrar värde som $0 \rightarrow 1^* \rightarrow 0$ ger exakt en etta ut på signalen x (1^* betyder ett antal ettor i följd).
- (b) Gör nu hela konstruktionen, som ska använda sig av två räknare av typen 74LS191, enligt datablad längst bak i tentan, en 5 MHz klocka, samt valfria grindar och D-vippor. Antag att även y kommer från en givare G_y som ovan. Rita upp i detalj!

(2+8=10p)

Uppgift 5

Låt x vara ett 16-bitars tal representerat genom de binära värdena $(x_{15}, x_{14}, \dots, x_0)$, $x_i \in \{0, 1\}$, $i = 0..15$ och standardrepresentation.

Konstruera en kombinatorisk krets som har denna binära representation av x som insignal och som ger en utsignal y representerat genom de binära värdena (y_7, y_6, \dots, y_0) , $y_i \in \{0, 1\}$, $i = 0..7$. Utsignalen ska vara den binära representationen av

$$y = x \text{ mod } 251.$$

För full poäng krävs inte bara korrekt lösning utan även att den är effektiv med avseende på antalet grindar som används. Valfria grindar kan användas. Tidsfördröjningar i kretsen behöver du inte ta hänsyn till.

(10p)

Lycka till!



FAST CMOS SYNCHRONOUS PRESETTABLE BINARY COUNTER

IDT54/74FCT163T/AT/CT

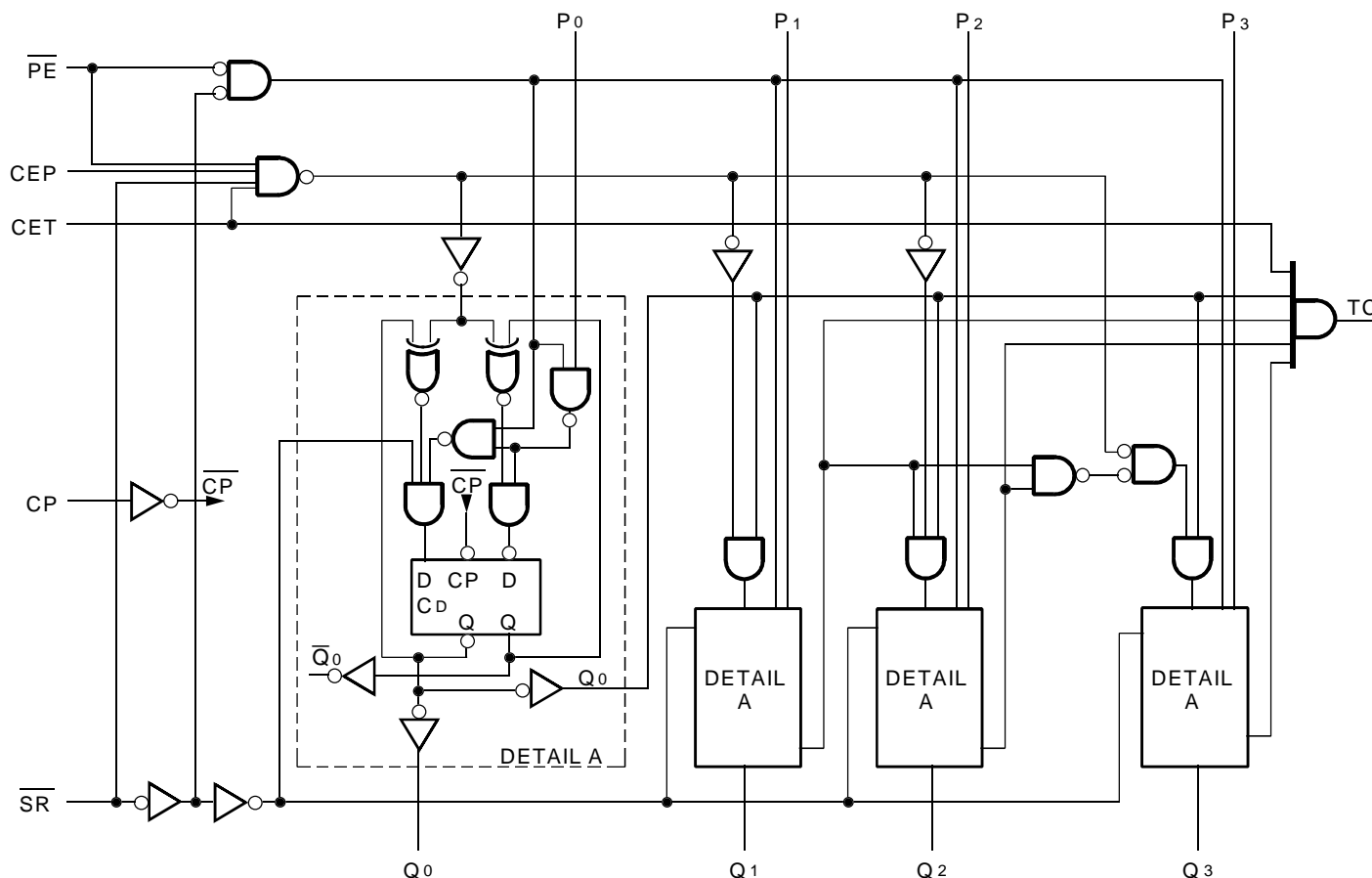
FEATURES:

- Std., A and C speed grades
- Low input and output $\leq 1\mu\text{A}$ (max.)
- CMOS power levels
- True TTL input and output compatibility
 - - $V_{OH} = 3.3\text{V}$ (typ.)
 - - $V_{OL} = 0.3\text{V}$ (typ.)
- High drive outputs (-15mA IOH, 48mA IOL)
- Meets or exceeds JEDEC standard 18 specifications
- Military product compliant to MIL-STD-883, Class B and DESC listed (dual marked)
- Power off disable outputs permit "live insertion"
- Available in the following packages:
 - Industrial: SOIC, QSOP
 - Military: CERDIP, LCC, CERPACK

DESCRIPTION:

The FCT163T is a high-speed synchronous modulo-16 binary counter built using an advanced dual metal CMOS technology. They are synchronously presettable for application in programmable dividers and have two types of count enable inputs plus a terminal count output for versatility in forming synchronous multi-stage counters. The FCT163T has Synchronous Reset inputs that override counting and parallel loading and allow the outputs to be simultaneously reset on the rising edge of the clock.

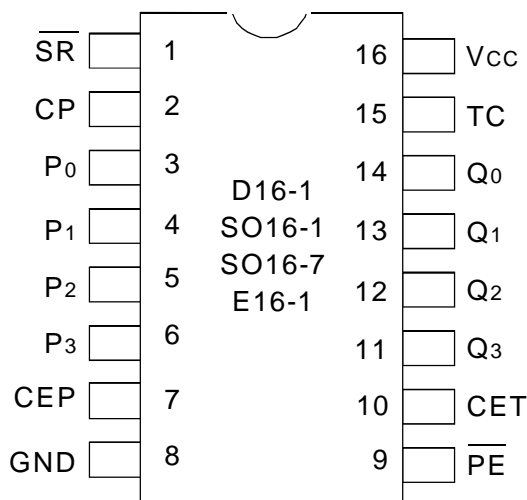
FUNCTIONAL BLOCK DIAGRAM



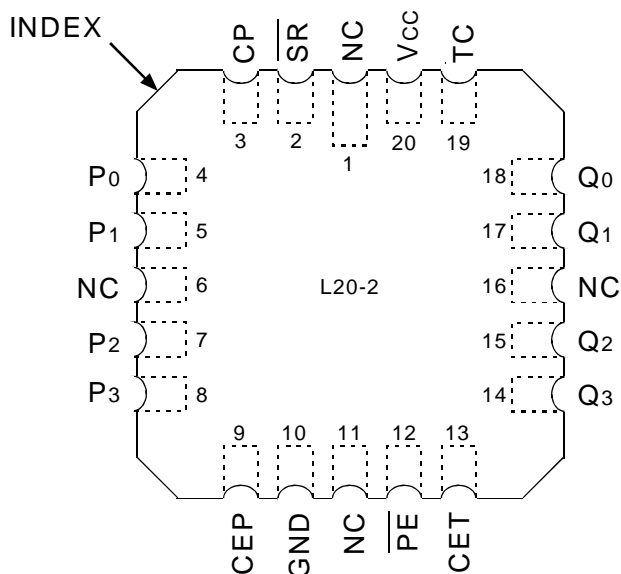
MILITARY AND INDUSTRIAL TEMPERATURE RANGES

AUGUST 2000

PIN CONFIGURATION



CERDIP/ SOIC/ QSOP/ CERPACK
TOP VIEW



LCC
TOP VIEW

ABSOLUTE MAXIMUM RATINGS⁽¹⁾

Symbol	Rating	Max.	Unit
V _{TERM} ⁽²⁾	Terminal Voltage with Respect to GND	-0.5 to +7	V
V _{TERM} ⁽³⁾	Terminal Voltage with Respect to GND	-0.5 to V _{CC} +0.5	V
T _{STG}	Storage Temperature	-65 to +150	°C
I _{OUT}	DC Output Current	-60 to +120	mA

8T-link

NOTES:

- Stresses greater than those listed under ABSOLUTE MAXIMUM RATINGS may cause permanent damage to the device. This is a stress rating only and functional operation of the device at these or any other conditions above those indicated in the operational sections of this specification is not implied. Exposure to absolute maximum rating conditions for extended periods may affect reliability. No terminal voltage may exceed V_{CC} by +0.5V unless otherwise noted.
- Inputs and V_{CC} terminals only.
- Outputs and I/O terminals only.

CAPACITANCE (T_A = +25°C, f = 1.0MHz)

Symbol	Parameter ⁽¹⁾	Conditions	Typ.	Max.	Unit
C _{IN}	Input Capacitance	V _{IN} = 0V	6	10	pF
C _{OUT}	Output Capacitance	V _{OUT} = 0V	8	12	pF

8T-link

NOTE:

- This parameter is measured at characterization but not tested.

PIN DESCRIPTION

Pin Names	Description
CEP	Count Enable Parallel Input
CET	Count Enable Trickle Input
CP	Clock Pulse Input (Active Rising Edge)
\overline{SR}	Synchronous Reset Input (Active LOW)
P0-3	Parallel Data Inputs
\overline{PE}	Parallel Enable Input (Active LOW)
Q0-3	Flip-Flop Outputs
TC	Terminal Count Output

FUNCTION TABLE⁽¹⁾

\overline{SR}	\overline{PE}	CET	CEP	Action on the Rising Clock Edge(s)
L	X	X	X	Reset (Clear)
H	L	X	X	Load (P _n → Q _n)
H	H	H	H	Count (Increment)
H	H	L	X	No Change (Hold)
H	H	X	L	No Change (Hold)

NOTE:

- H = HIGH Voltage Level
L = LOW Voltage Level
X = Don't Care