



**Lunds Universitet
LTH
Ingenjörshögskolan
IDA, IEA
Helsingborg
Laboration nr 6 i digitala system ht-15**

Sekvensnät och räknare

Beskrivning i VHDL och realisering i PLD

Grupp:

Namn:.....

Godkänd:

Laborationen skall

- ge träning i beskrivning av sekvenskretsar i VHDL, simulering och realisering i PLD
- visa hur ett sekvensnät kan beskrivas i VHDL
- visa hur en räknare kan beskrivas i VHDL
- visa hur register och skiftregister kan beskrivas i VHDL. Sid 419.

Förberedelseuppgifter

Utför uppgifterna 1, 2.a, 3.a4 och 5. Detta skall vara gjort innan laborationen.

Uppgifter

1. Realisering av ett sekvensnät typ Moore

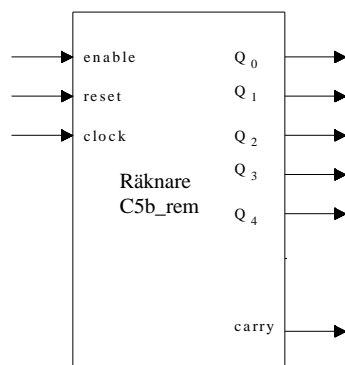
Realisera ett sekvensnät typ Moore med en insignal x och en utsignal u , sådan att $u=1$ om och endast om de senaste insignalerna varit 11011. (överlappande sekvenser) Detta är uppgift 5.1 a på sid 302 i läroboken. Låt x vara BTNC (pushbuttonCentral =E16) Låt u vara LED15. För att du lättare skall kunna följa sekvensen s , låt tillstånden s_0 - s_5 speglas i en vektor. Om aktuellt tillstånd är s_0 tänd LED1, Om aktuellt tillstånd är s_1 tänd LED1 Och LED2 osv. Klockpulsens läggs naturligtvis på P15.

2. Realisering av ett sekvensnät typ Mealy.

Samma uppgift som ovan fast du skall realisera det som ett Mealynät. (Uppgift 5.1 b)

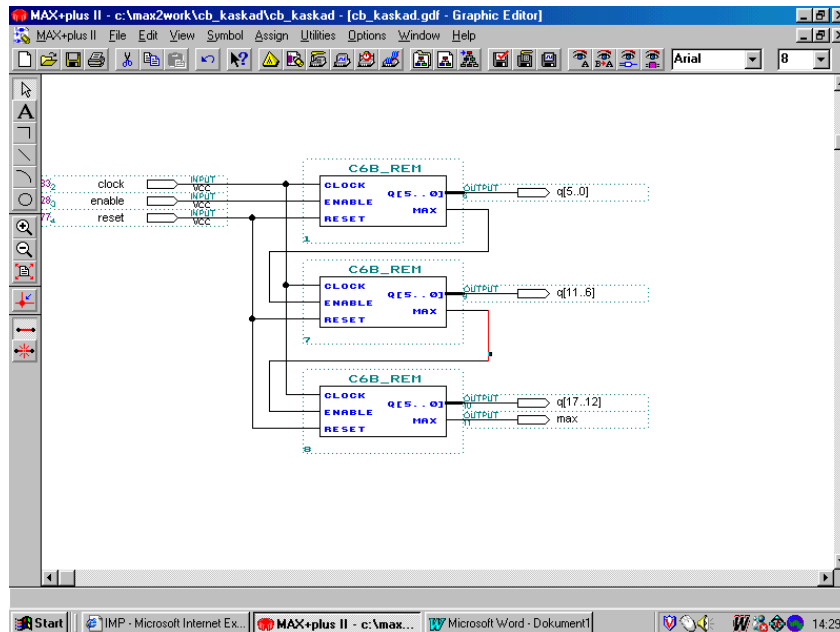
3. Realisering en räknare

En synkron 5-bitars binärräknare, *C5b_rem* skall realiseras. Räknaren skall vara försedd med *enable* och *reset*, båda aktiva höga och där *reset* skall vara synkron och oberoende av *enable*. Räknaren skall vidare ha en utgång carry som skall kunna användas för kaskadkoppling (dvs carry skall vara 1 endast då maxvärdet uppnåtts **och** enable=1)



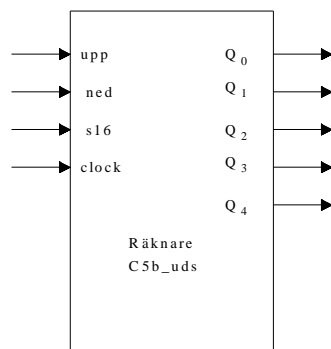
- a. beskriv räknaren i VHDL. Filnamn: *C5b_rem.vhd* .
- b. Simulera räknaren.
- c. Programmera kretsen, testa och demonstrera funktionen.
- d. Kaskadkoppla 3 st räknare med hjälp av den grafiska editorn. Klockpulsens kan stegas fram manuellt eller gå med 50Hz. se fig. nästa blad.(dock är figuren hämtad från Alteras grafiska editor, men det är samma

princip)



4. Realisering av en speciell räknare

En synkron 5-bitars binärräknare, *C5b_uds*, skall realiseras. Räknaren skall kunna räkna upp och ned mellan ändlägena 0 och 31. Räkningen skall styras med signalerna *upp* och *ned*, båda aktiva höga. Ändlägena skall inte passeras. För *upp* = *ned* = 1, dvs begärd både upp- och nedräkning, skall räkning ej ske och inte då *upp* = *ned* = 0. Räknaren skall ha en insignal *s16*, aktiv låg, för synkron 16-ställning av räknaren (mitt emellan änd-lägena).



- Beskriv räknaren i VHDL. Filnamn: *C5b_uds.vhd*.
- Simulera räknaren.
- Programmera kretsen, testa och redovisa resultatet för handledaren.

5. Realisera räknaren i laboration 4.