



Lunds Universitet
LTH
Ingenjörshögskolan
Ida, IEA
Helsingborg

Laboration nr 5 i digitala system, ht-15

Introduktion till VHDL

Beskrivning i VHDL och realisering av några enkla kombinatoriskt nät.

.....
namn

.....
godkänd (datum/sign)

Del1:

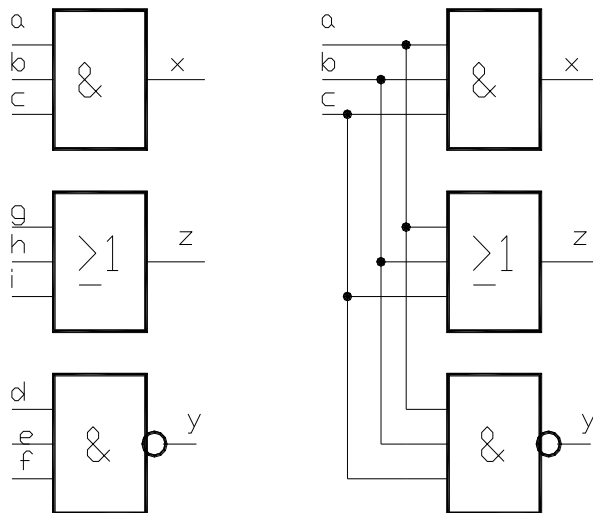
Laborationens syfte

- ge en introduktion till hantering av Xilinx VHDL-verktyg
- ge träning i att beskriva en kombinatorisk krets i VHDL

Förberedelseuppgifter

Studera i läroboken, grunderna i VHDL. (t.ex. sid. 41-52, 398-400,402-404).

OBS! Till laborationen skall du ha förslag till VHDL-kod till uppgifterna 1,2 och 3.



Laborationen har 4 uppgifter.

Laborationsuppgift 1:

Programmera dessa tre grindar i samma fil (Se lämplig sida i läroboken. Du kan antingen programmera med 9 olika ingångar a-f eller bara med 3 ingångar a,b och c)

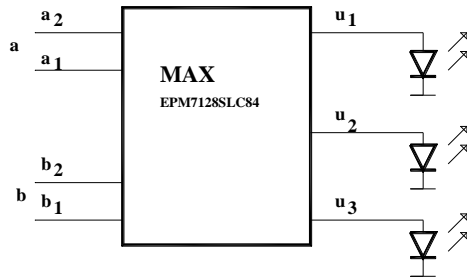
1. Skapa ett projekt. Välj lämpligt namn. I laboration 4 var source en schematic -fil. Nu skall den vara en VHDL-fil. Välj därför new source och VHDL-fil. Ge denna ett lämpligt namn.
2. Skriv in din text i editorn. Kör Synthesize (då får du kontrollerat att du inte gjort några syntaxfel)
3. Kör User Constrain. Ge dina variabler adresser.(se på kortet var switchar och LED sitter, du har gjort samma i Lab 4.)
4. Kör Implement design. Du kan om du vill simulera din 'koppling'. Gör på samma sätt som i lab 4.
5. Kör Generate Programming file och Impact (på samma sätt som i lab 4.) (Nu måste du givetvis ha anslutit kortet till datorn!! Kontrollera funktionen hos de tre grindarna.

Laborationsuppgift 2, En komparator, jämförare, med vilken två binära tal $a = (a_2, a_1)$ och $b = (b_2, b_1)$ skall jämföras med avseende på relationerna likhet(=), mindre än (<) och större än (>), skall realiseras i en en PLD Komparatorn skall ha tre utgångar u_1, u_2, u_3 , som anslutes till lysdioder.

Om $a < b$, så skall $u_1 = 1$ och lysdioden D_1 tändas. (Övriga släckta)

Om $a = b$, så skall $u_2 = 1$ och lysdioden D_2 tändas. (Övriga släckta)

Om $a > b$, så skall $u_3 = 1$ och lysdioden D_3 tändas. (Övriga släckta)



1.

a_2	a_1	b_2	b_1	u_3	u_2	u_1
0	0	0	0			
0	0	0	1			
0	0	1	0			
0	0	1	1			
0	1	0	0			
0	1	0	1			
0	1	1	0			
0	1	1	1			
1	0	0	0			
1	0	0	1			
1	0	1	0			
1	0	1	1			
1	1	0	0			
1	1	0	1			
1	1	1	0			
1	1	1	1			

Fyll i funktionstabellen ovan.

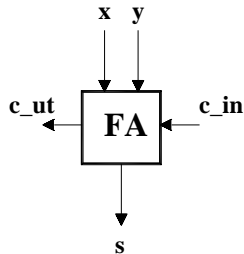
Tag fram de förenklade logiska villkoren för u_3, u_2 , resp u_1 . Använd gärna karnaugh-diagram.

Därefter skriver du in de logiska villkor du fått i VHDL-editorn och kör samma process som i förra uppgiften. (Du får själv välja vilka switchar och LED du skall använda.)

Laborationsuppgift 3.

Se läroboken figur 4.45 och 4.46 samt exempel 9.5

Komponent och filnamn: FA

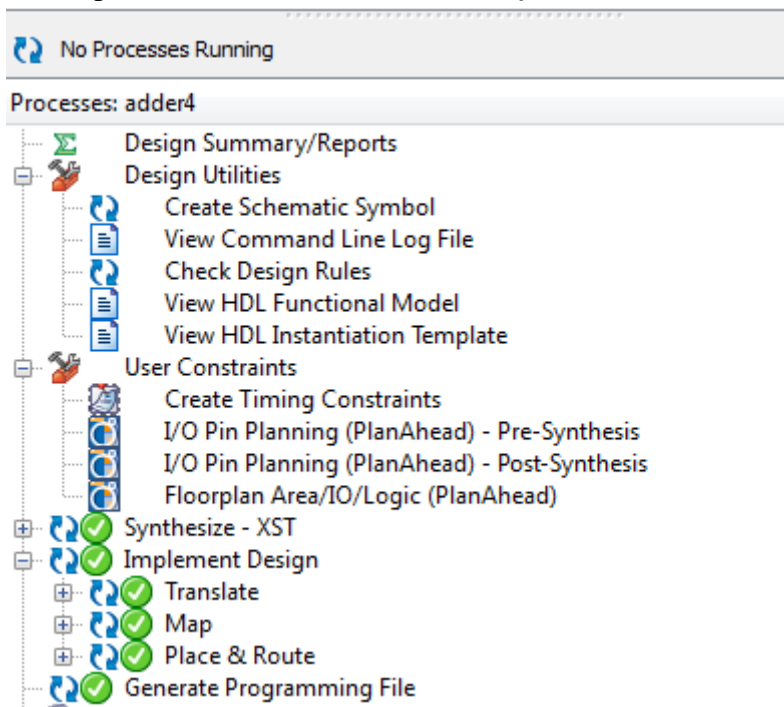


Skriv in de logiska villkoren för heladderaren. Gör samma procedur som i uppg. 1 och 2.

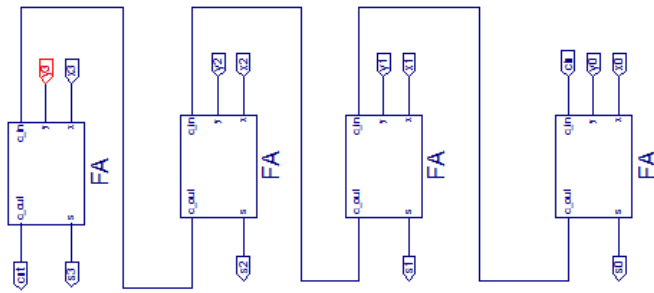
Laborationsuppgift 4.

Här skall du koppla ihop fyra heladderare till en adder4 (se sid 171 i läroboken), med hjälp av schematics.

Under process finns **create schematic symbol:**



När du ritat din koppling i schematic kan det se ut så här:



Låt in- resp. ut-portarna få följande bennummer:

y3,y2,y1,y0=U4,V5,V6,V7

x3,x2,x1,x0=R5,R6,R7,U8

cin=U9

cout,s3,s2,s1,s0=T5,T6,R8,V9.T8

Programmera din krets och testa några additioner