



Lunds Universitet  
LTH  
Ingenjörshögskolan  
IDA IEA  
Helsingborg

## Tentamensskrivning 17 december 2013

EDI 610      Digitala system                      15 poäng, varav tentamen 4,5 p

Kursansvarig: Bernt-Arne Jönsson      Skrivtid 8.00-13.00

**Inga hjälpmedel**  
**Obs! Räknare ej tillåten.**

**Skrivningen omfattar uppgifterna 1-8**  
**Bilaga till skrivningen : Syntaxhjälp till VHDL**

**Maximalt antal poäng: 60 poäng**

**Krav för godkänt: 30 p**

**Ordentliga motiveringar skall lämnas.**

Alla lösa blad skall vara samlade i omslagsarket.

Inlämnade uppgifter skall vara försedda med uppgiftens nummer.

Lösningarna skrivs in i nummerordning.

Skriv namn på varje ark

Omslagsarket skall vara fullständigt ifyllt med inskrivningsår, namn och personnummer

Kryssa för lösta uppgifter och ange antalet inlämnade blad.

1. Konstruera en logisk krets, som har tre insignaler: a,b och c, där utsignalen ( u) är hög (=1) endast då en majoritet av insignalerna är höga (=1)
  - a) skriv upp sanningstabellen för nätet
  - b) tag fram det booleska uttrycket för nätet ( utan förenkling) .
  - c) förenkla nätet.
  - d) rita upp logikschema för det förenklade nätet.
  - e) rita upp det förenklade nätet realiserade enbart med NAND-grindar..
  
2. Konstruera en logisk krets som har fem insignaler  $x_4, x_3, x_2, x_1$  och  $x_0$  där utsignalen f är hög(=1) för kombinationerna i tabellen nedan. I övriga kombinationer är utsignalen 0.  
 Konstruera nätet som ett SP nät. D.v.s. summa av produkter (den formen som avslutas med en eller-grind (5p)

$x_4$	$x_3$	$x_2$	$x_1$	$x_0$	f
0	0	0	0	0	1
0	0	0	0	1	1
0	0	1	0	0	1
0	0	1	0	1	1
0	1	0	0	0	1
0	1	1	0	0	1
1	0	0	0	0	1
1	0	0	0	1	1
1	0	0	1	0	1
1	0	1	0	0	1
1	0	1	0	1	1
1	1	0	0	0	1
1	1	0	1	0	1

- b) Konstruera nätet med enbart NAND-grindar (3p)
  
3.
  - a) omvandla  $87_{10}$  till basen 2.(1p)
  - b) omvandla  $87_{10}$  till basen 16.(1p)
  - c) omvandla  $87_{10}$  till basen 8.(1p)
  - d) antag att vi har binära tal med ordlängden 8 bitar, där negativa tal representeras av tvåkomplement.  
 Skriv tvåkomplementrepresentationen av  $87_{10}$ .(2p)
  - e) utför operationen  $87-93$  i binärkod där negativa tal har tvåkomplementrepresentation. Visa exakt hur du genomfört dina räkningar. Svara sen i decimalkod.(2p)

4.

```
library ieee;
use ieee.std_logic_1164.all;
use ieee.std_logic_arith.all;

entity cnt3b is
    port(clock:in std_logic;
          q:out std_logic_vector(3 downto 0));
end entity cnt3b;

architecture beteende of cnt3b is
    subtype state_type is integer range 0 to 7;
    signal present_state, next_state:state_type;
begin
    process(present_state)
        begin
            if present_state=7 then next_state<=0;
            else
                next_state<=present_state+1;
            end if;
        end process;
    q<=conv_std_logic_vector(present_state,3); -- omvandlar en integer till en 3-bitars vektor.

    process(clock)
        begin
            if rising_edge(clock) then
                present_state<=next_state;
            end if;
        end process;
    end architecture beteende;
```

Ovan ser du en VHDL-fil, som beskriver ett sekvensnät.

a) Realisera sekvensnätet med D-vippor och valfria grindar.

b) Lägg till en Enable funktion till ditt nät i a. Enable-funktionen skall vara aktivt hög. Dvs. då E=1, fungerar nätet som i VHDL-filen ovan.

c) Lägg till en Resetfunktion i din konstruktion ovan, Reset aktivt hög (Reset=1 innebär att nätet nollställs. Enable skall dominera över Reset, dvs. om E=0 och Reset=1 så skall ej Reset verkställas.

5. Betrakta nätet ovan. Konstruktionen ovan blev ganska besvärlig att koppla upp.

a) Två ingenjörstudenter tänker realisera nätet med T-vippor.

Konstruera nätet utan Enable och Reset.

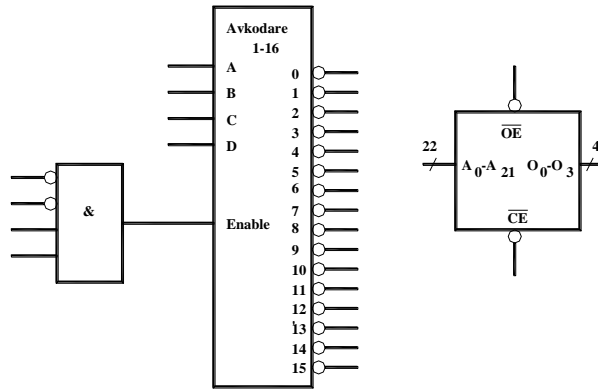
b) Lägg till funktionen Enable som i uppgift 4.

c) Lägg till funktionen Reset, som i uppgift 4, samma villkor på Enable och Reset

6. De två ingenjörstudenterna tänker sig att realisera nätet som ett VHDL-projekt och skriva in koden i uppg.4 i en VHDL-editor. Dessutom vill man ha Enable- och Resetfunktionerna som b) och c) i uppgift 4 (givetvis även i uppgift 5.)

**anm:** när du gjort uppgifterna 4, 5 och 6 har du således implementerat nätet med D-vippor, T-vippor och slutligen med VHDL.

7.



I ett minnessystem ingår bl.a ett läsminne. Minnet skall byggas upp med minneskapslar (4Mx4), se symbolen ovan. Minnessystemet adresseras med 30 adressbitar A<sub>0</sub>- A<sub>29</sub>, sålunda omfattande adressområdet 00000000 – 3FFFFFFF. Läsminnet skall ha en kapacitet om 12 Mord á 8 bitar och vara placerat i adressområdet 2A800000-2B3FFFFFFF. Chipenable skall generas av avkodaren. Avkodarens Enable är aktivt hög. Rita blockschema för läsminnet och använd symbolerna ovan! Givetvis skall de mest signifikanta adressbitarna anslutas till och-grunden, som är ansluten till Enable. Ange på avkodarens samtliga utgångar inom vilket adressområde den ger chipenable. (8p)

8. En ofta använd teknik inom D/A-omvandling är PWM.
- Var är det förkortning för (på engelska) och översätt förkortningen till svenska.
  - Beskriv funktionen, gärna illustrerad med figur.