



Lunds Universitet  
LTH  
Ingenjörshögskolan  
IDA IEA  
Helsingborg

## Tentamensskrivning 28 augusti 2013

EDI 610      Digitala system                      15 poäng, varav tentamen 4,5 p

Kursansvarig: Bernt-Arne Jönsson      Skrivtid 8.00-13.00

**Inga hjälpmedel**  
**Obs! Räknare ej tillåten.**

**Skrivningen omfattar uppgifterna 1-8**

**Maximalt antal poäng: 60 poäng**

**Krav för godkänt: 30 p**

**Ordentliga motiveringar skall lämnas.**

Alla lösa blad skall vara samlade i omslagsarket.

Inlämnade uppgifter skall vara försedda med uppgiftens nummer.

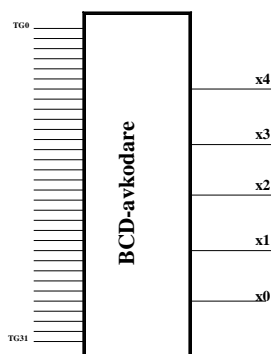
Lösningarna skrivs in i nummerordning.

Skriv namn på varje ark

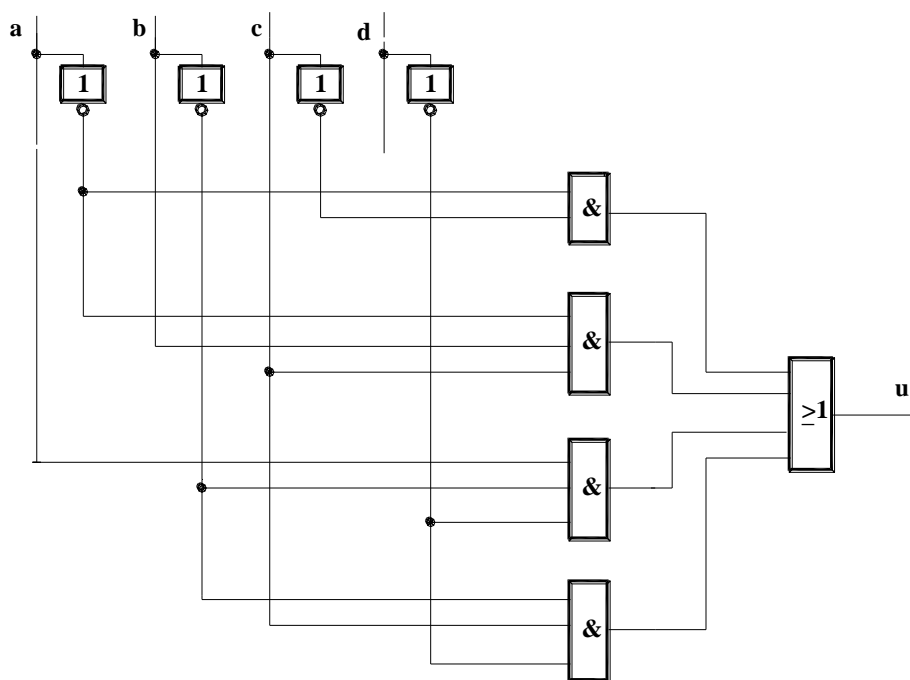
Omslagsarket skall vara fullständigt ifyllt med inskrivningsår, namn och personnummer

Kryssa för lösta uppgifter och ange antalet inlämnade blad.

1. a) Temperaturen i ett kycklingstall mäts med 32 st temperaturgivare (TG0...TG31). Då temperaturen överstiger en viss temperatur ger givaren en logisk 1:a. De 32 givarna är kopplade till en avkodare, som ger antalet, där temperaturen är för hög, i binärkod. Låt det binärkodade talet vara  $(x_4, x_3, x_2, x_1, x_0)$ , där  $x_4$  är MSB. Du skall konstruera ett kombinatoriskt nät med två utsignaler  $y_0$  och  $y_1$ . Om minst 6 temperaturgivare ger en logisk etta anses det vara medelhög temperatur och  $y_0$  skall bli ett. Om 24 eller fler givare ger en logisk etta anses temperaturen alltför hög och **även**  $y_1$  skall bli ett. Du skall således konstruera ett logiskt nät där  $y_0 = 1$  för alla binära tal större än 5. Dessutom skall  $y_1 = 1$  för alla binära tal större än 23. Rita nätet med valfria grindar. (8p)



2.



Ovan ser du ett kombinatoriskt nät med fyra ingångar (a,b,c och d) samt en utgång u.

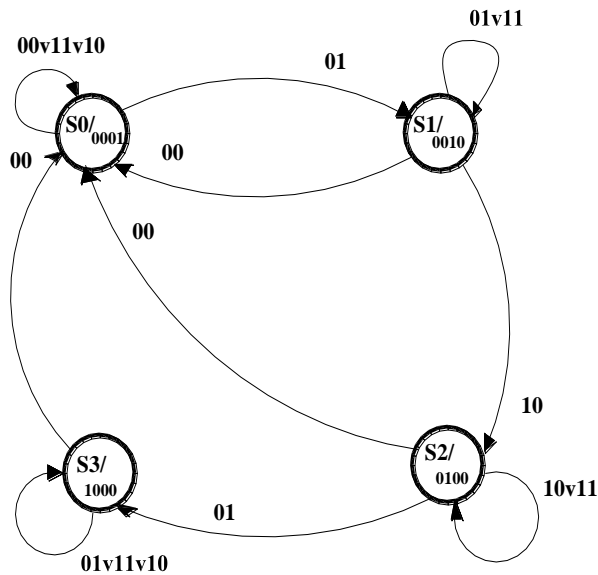
a) skriv upp det booleska uttrycket för nätet.

b) skriv upp sanningstabellen ( funktionstabellen) för nätet.

c) förenkla nätet och rita upp det förenklade nätet.

OBS! du kan även skriva upp sanningstabellen efter det att du förenklat nätet, det bör ju bli samma resultat. (8p)

3.



Ovan ser du en tillståndsgraf . Insignalen är ett tvåbitars ord ( se grafen). Utsignalen är ett fyrabitars ord ( one hot, se grafen).

Realisera sekvensnätet med D-vippor och standardgrindar. Koda tillstånden i Graykod. (8p)

4. Skriv  $175_{10}$  som ett

a) binärt tal ( således basen 2).

b) som ett hexadecimalt tal.

c) som ett oktalt tal (basen 8).

d) antag att vi har 8-bitars tal, där negativa tal realiseras med tvåkomplementrepresentation. Skriv  $-56$  i binärkod.

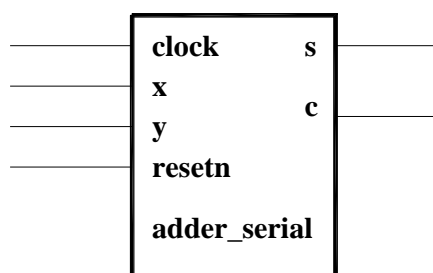
e) utför den aritmetiska operationen  $45-56$ , givetvis där negativa tal har tvåkomplement och båda talen har ordlängden 8 bitar. Redovisa hur du gjort uträkningarna. Svara sedan i decimal form. (7p)

5. Se uppgift 3. Komplettera din lösning med följande:

Nätet skall kompletteras med två signaler, E(nable) och Set\_S3. Då  $E=1$  och  $Set\_S3=0$ , skall nätets tillstånd bli S3( därav namnet). Om  $E=0$ , så skall tillståndet förbli oförändrat. Om  $E=0$  och  $Set\_S3=1$ , så skall nätets tillstånd förbli oförändrat ( dvs. E dominerar över Set\_S3). Nätet skall givetvis vara synkront, så det duger inte med att manipulera klockpulsen. Rita det nya nätet. ( du behöver inte rita det helt nytt utan inför på lämpligt sätt dina kompletteringar.) (6p)

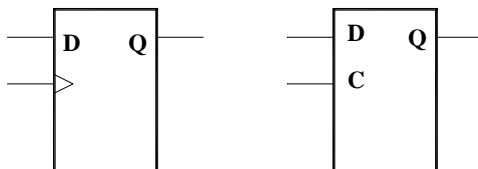
6.

En adderare Adder\_serial, som adderar två binärtal i serieform, skall konstrueras som en sekvenskrets.

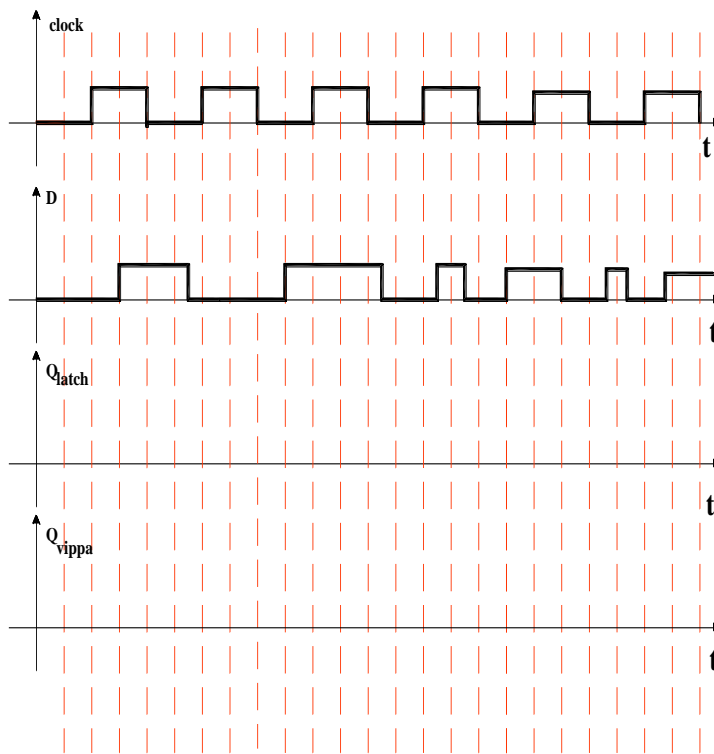


Binärtalen som kan innehålla godtyckligt många bitar, inmatas bit för bit på ingångarna (  $x$  resp.  $y$ ) med LSB först. Adderaren skall för varje inmatad bit av talen ge summan  $s$  och carry  $c$ . En addition föregås av en resetn, aktiv låg (som du inte behöver implementera). Rita tillståndsdigram och realisera adderaren med D-vippor, som ett sekvenskrets av typ Moore. (Du bör kanske därför skapa tillstånd, vars namn anger om additionen har gett upphov till carry.) (8p)

7.



Ovan ser du en en D-vippa, som triggar på positiv flank, samt en D-latch. Som du säkert vet så har de båda snarlika funktion. Vippan resp. latches påföres samma klockpuls, samt samma signal på D-ingången. Se tidsdiagram nedan! Rita signalerna för vippan resp. latches. (8p)



8. Två studenter skall programmera en multiplexer i VHDL. Tyvärr så misslyckas de med att få licensfilen till programmet att fungera.. De beslutar sig då för att bygga den med 'vanliga' digitala kretsar. Hjälps dem med att ta fram det logiska uttrycket för kretsen, samt rita upp grindnätet. (VHDL filen finns på nästa sida.) (7p)

```
--MUX4_1 sid 405
--källkod till uppgift 8
library IEEE;
use IEEE.std_logic_1164.all;

entity MUX4_1 is
    port(data_in:in bit_vector(3 downto 0);
          a:in bit_vector(1 downto 0);
          data_ut:out bit);
end entity MUX4_1;

architecture beteende of MUX4_1 is
begin
    process(data_in,a)
    begin
        case a is
            when "00"    =>data_ut<=data_in(0);
            when "01"    =>data_ut<=data_in(1);
            when "10"    =>data_ut<=data_in(2);
            when "11"    =>data_ut<=data_in(3);
            when others =>data_ut<=null;
        end case;
    end process;
end architecture beteende;
```