



# Digitala system EDI610

Elektro- och informationsteknik  
Genomgång inför lab 5

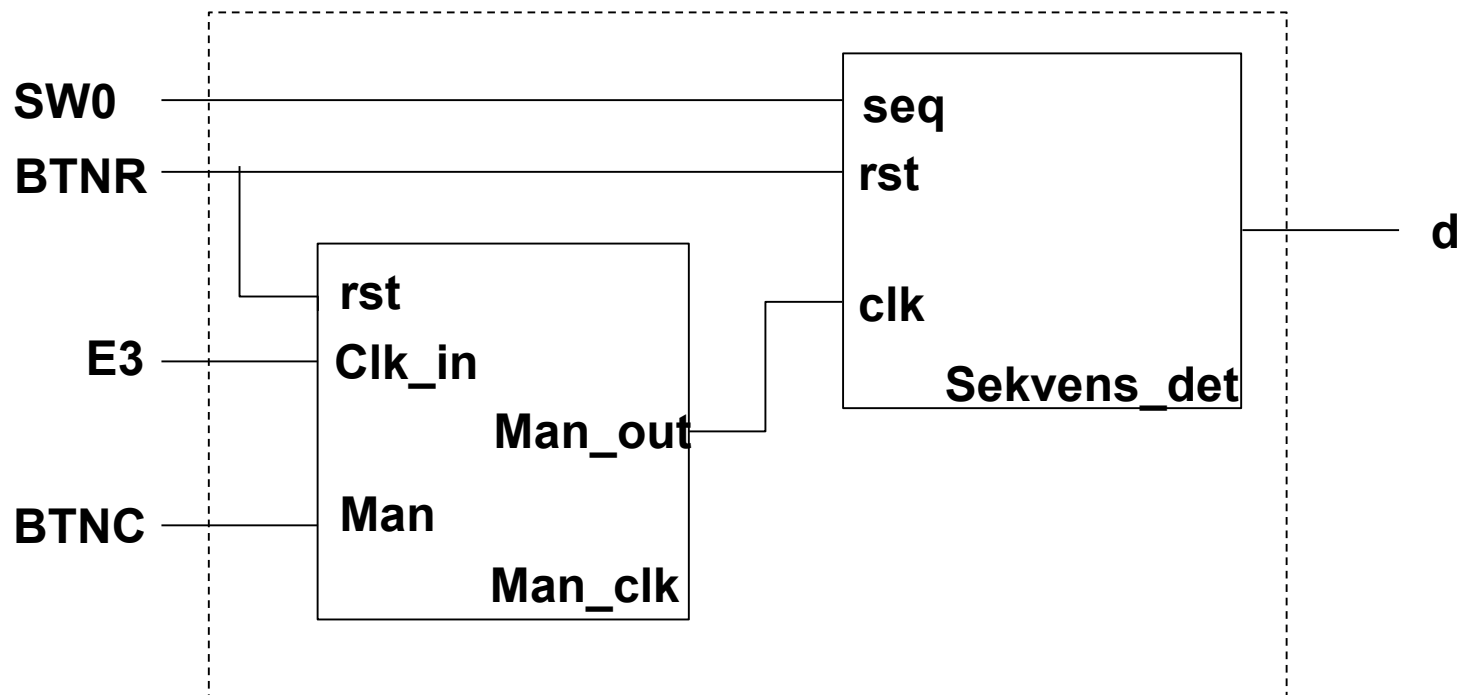
# Viktigt

- Jobba i H:\Program
- Kalla första filen: ***seq\_det\_101***
- Följ labmanualen slaviskt, ingen free-style!
  - Lägg inte till filer förrän det står så

# Uppgift 1

- Standard (1-6)
  - Skriv in koden för sekvensnätet
  - Lägg till testmodulen *seq\_tb.vhd*
  - Editera den, av kommentera lämpliga delar och ändra koden för rätt sekvens: 0100101011
  - Simulera
- Manuell klocka
  - Lägg till filen *man\_clk.vhd*
- Skapa en ny modul (eget namn)
  - För att koppla samman sekvensnätet och den manuella klockan skapar du en ny modul som refererar till dessa som 'Component' och mappar in- och utgångar

# Koppling för manuell klocka



# Kod för sammankopplingen, del 1

```
Port ( clk, SW0, BTNC, BTNR : in STD_LOGIC;  
LEDO : out STD_LOGIC); -- hela blockets in- och utsignaler  
architecture Behavioral of Lab5_1 is  
component man_clk  
port ( rst_in, clk_in, man_in : in STD_LOGIC;  
man_out : out STD_LOGIC);  
end component;  
component seq_det_101  
port (rst, ...);  
end component;
```

# Kod för sammankopplingen, del 2

```
signal man_clock : STD_LOGIC;
```

```
Begin -- här kopplas signalerna ihop
```

```
Lbl1: man_clk port map(rst_in => BTNR, clk_in => clk,  
man_in => BTNC, man_out => man_clock);
```

```
Lbl2: seq_det_101 port map( rst => BTNR, clk => man_clock,  
seq => SW0, d => LED0);
```

```
end Behavioral;
```

## Uppgift 2

- Nu är det Mealy direkt från tillståndsdigrammet
  - Skriv koden på std sekvensnät-form
  - Process för tillstånd, utsignal och klocka.
- Var noga med att behålla signalernas namn eftersom de ska köras tillsammans med simuleringsfilen