



**Lunds Universitet  
LTH  
Ingenjörshögskolan  
IDA, IEA  
Helsingborg  
Laboration nr 6 i digitala system ht-13**

## **Räknare och skiftregister**

**Beskrivning i VHDL och realisering i PLD**

Grupp: .....

Namn:.....

Godkänd: .....

## Laborationen skall

- ge träning i beskrivning av sekvenskretsar i VHDL, simulering och realisering i PLD
- visa hur en räknare kan beskrivas i VHDL
- visa hur register och skiftregister kan beskrivas i VHDL. Sid 419.

## Förberedelseuppgifter

Utför uppgifterna 1, 2.a och 3.a. Detta bör vara gjort innan laborationen för att spara tid.

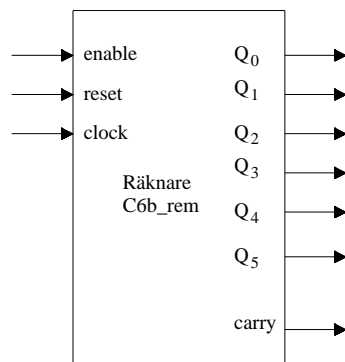
## Uppgifter

### 1. Realisering av räknare

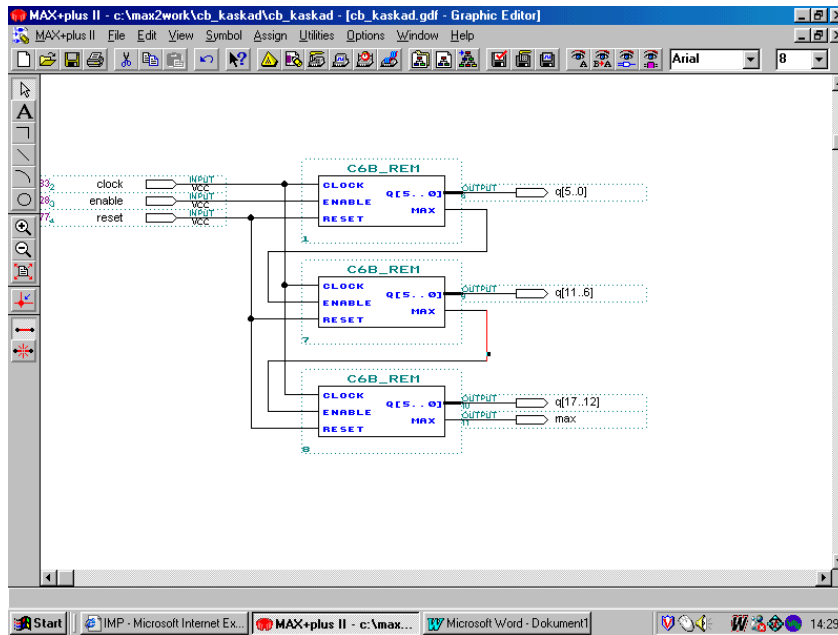
Realisera en synkron 4 bitars räknare med synkron reset. Låt reset vara aktivt hög. Låt clock ha bennumret 83.  $Q_3$ = ben 9,  $Q_2$ =ben 10,  $Q_1$ =ben 11 och  $Q_0$ = ben 12. Se sid 415 och framåt i läroboken.

### 2. Realisering en räknare

En synkron 6-bitars binärräknare, *C6b\_rem* skall realiseras. Räknaren skall vara försedd med *enable* och *reset*, båda aktiva höga och där *reset* skall vara synkron och oberoende av *enable*. Räknaren skall vidare ha en utgång carry som skall kunna användas för kaskadkoppling (dvs carry skall vara 1 endast då maxvärdet uppnåtts **och** enable=1)

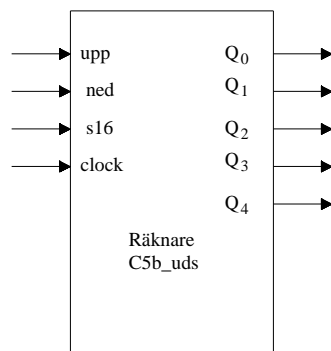


- a. beskriv räknaren i VHDL. Filnamn: *C6b\_rem.vhd* .
- b. Simulera räknaren.
- c. Programmera kretsen, testa och demonstrera funktionen.
- d. Kaskadkoppla 3 st räknare med hjälp av den grafiska editorn. Koppla de **16 mest signifikanta** bitarna till lysdioderna.(räknaren kommer således att ha ett räkneintervall 0-3FFFF). Klockpulsen kan stegas fram manuellt eller gå med 50Hz.  
se fig nästa blad.



### 3. Realisering av en speciell räknare

En synkron 5-bitars binärräknare, *C5b\_uds*, skall realiseras. Räknaren skall kunna räkna upp och ned mellan ändlägena 0 och 31. Räkningen skall styras med signalerna *upp* och *ned*, båda aktiva höga. Ändlägena skall inte passeras. För *upp* = *ned* = 1, dvs begärd både upp- och nedräkning, skall räkning ej ske. Räknaren skall ha en insignal *s16*, aktiv låg, för synkron 16-ställning av räknaren (mitt emellan änd-lägena).

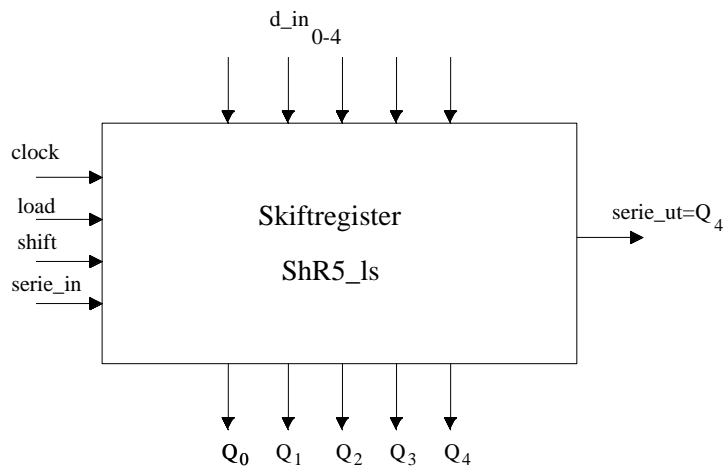


- Beskriv räknaren i VHDL. Filnamn: *C5b\_uds.vhd*.
- Simulera räknaren.
- Programmera kretsen, testa och redovisa resultatet för handledaren.

### 4. Realisera räknaren i laboration 5.

### 5. Realisering av ett 5-bitars skiftregister med parallell laddning

Ett 5-bitars skiftregister enligt blockschemat nedan skall realiseras. Parallell synkron laddning skall styras med signalen *load*, aktiv hög. Skift (högerskift) skall styras med signalen *shift*, aktiv hög. Då *load* och *shift* båda är höga eller då båda är låga skall inget ske.



- a. Beskriv skiftregistret i VHDL. Filnamn: *ShR5\_ls.vhd*.
- b. Simulera skiftregistret.
- c. Programmera kretsen, testa och demonstrera funktionen. Redovisa *.vhd-filen*.