



**Lunds Universitet  
LTH  
Ingenjörshögskolan  
IDA, IEA  
Helsingborg  
Laboration nr 6 i digitala system ht-14**

## **Räknare och skiftregister**

**Beskrivning i VHDL och realisering i PLD**

Grupp: .....

Namn:.....

Godkänd: .....

## Laborationen skall

- ge träning i beskrivning av sekvenskretsar i VHDL, simulering och realisering i PLD
- visa hur en räknare kan beskrivas i VHDL
- visa hur register och skiftregister kan beskrivas i VHDL. Sid 419.

## Förberedelseuppgifter

Utför uppgifterna 1, 2.a, 3.a4 och 5. Detta skall vara gjort innan laborationen.

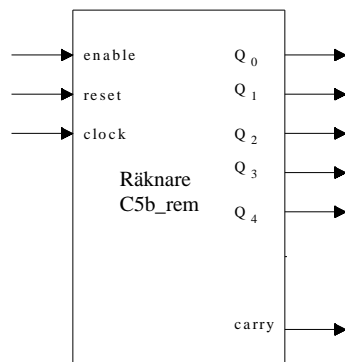
## Uppgifter

### 1. Realisering av räknare

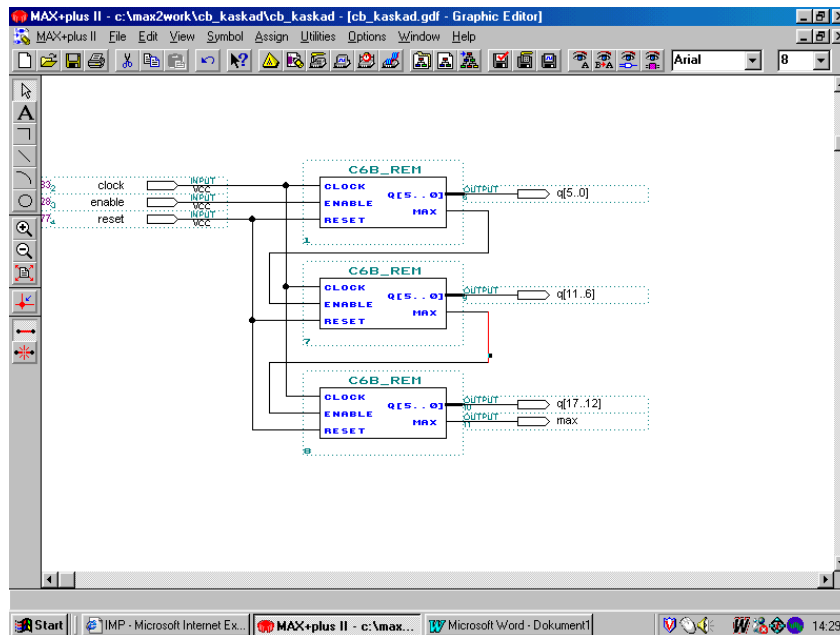
Realisera en synkron 4 bitars räknare med synkron reset. Låt reset vara aktivt hög. Låt clock ha bennumret P15.  $Q_3$ = ben T6  $Q_2$ =ben R8,  $Q_1$ =ben V9 och  $Q_0$ = ben T8. Se sid 415 och framåt i läroboken.

### 2. Realisering en räknare

En synkron 5-bitars binärräknare, *C5b\_rem* skall realiseras. Räknaren skall vara försedd med *enable* och *reset*, båda aktiva höga och där *reset* skall vara synkron och oberoende av *enable*. Räknaren skall vidare ha en utgång carry som skall kunna användas för kaskadkoppling (dvs carry skall vara 1 endast då maxvärdet uppnåtts **och** enable=1)

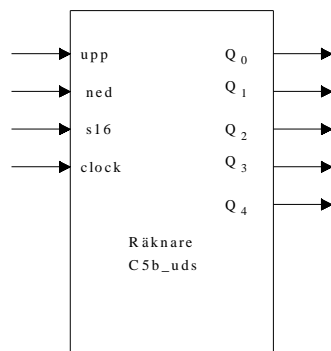


- a. beskriv räknaren i VHDL. Filnamn: *C5b\_rem.vhd* .
- b. Simulera räknaren.
- c. Programmera kretsen, testa och demonstrera funktionen.
- d. Kaskadkoppla 3 st räknare med hjälp av den grafiska editorn. Klockpulsen kan stegas fram manuellt eller gå med 50Hz.  
se fig. nästa blad.(dock är figuren hämtad från Alteras grafiska editor, men det är samma princip)



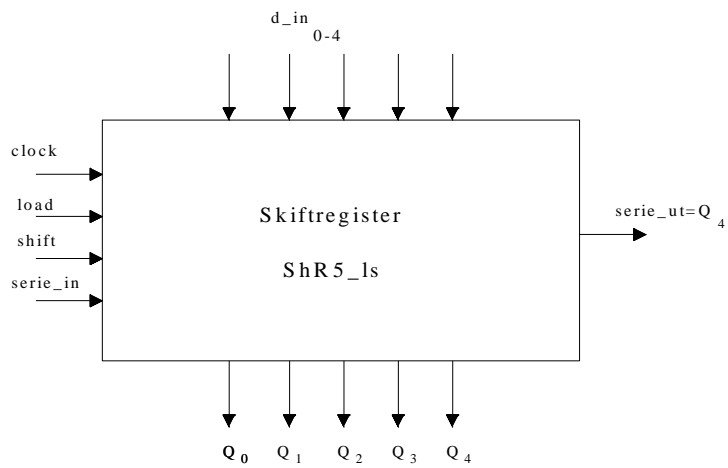
### 3. Realisering av en speciell räknare

En synkron 5-bitars binärräknare, *C5b\_uds*, skall realiseras. Räknaren skall kunna räkna upp och ned mellan ändlägena 0 och 31. Räkningen skall styras med signalerna *upp* och *ned*, båda aktiva höga. Ändlägena skall inte passeras. För *upp* = *ned* = 1, dvs begärd både upp- och nedräkning, skall räkning ej ske och inte då *upp* = *ned* = 0. Räknaren skall ha en insignal *s16*, aktiv låg, för synkron 16-ställning av räknaren (mitt emellan änd-lägena).



- Beskriv räknaren i VHDL. Filnamn: *C5b\_uds.vhd*.
  - Simulera räknaren.
  - Programmera kretsen, testa och redovisa resultatet för handledaren.
- Realisera räknaren i laboration 4.(Obs! ändrat)
  - Realisering av ett 5-bitars skiftregister med parallell laddning ( endast i mån av tid)
 

Ett 5-bitars skiftregister enligt blockschemat nedan skall realiseras. Parallell synkron laddning skall styras med signalen *load*, aktiv hög. Skift (högerskift) skall styras med signalen *shift*, aktiv hög. Då *load* och *shift* båda är höga eller då båda är låga skall inget ske.



- a. Beskriv skiftregistret i VHDL. Filnamn: *ShR5\_ls.vhd*.
- b. Simulera skiftregistret.
- c. Programmera kretsen, testa och demonstrera funktionen. Redovisa *.vhd-filen*.